

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-320146

(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

H04N 5/335

H01L 27/146

H03M 1/18

(21)Application number : 2002-034496

(71)Applicant : INNOTECH CORP

(22)Date of filing : 12.02.2002

(72)Inventor : MITSUIDA TAKASHI

(30)Priority

Priority number : 2001041394

Priority date : 19.02.2001

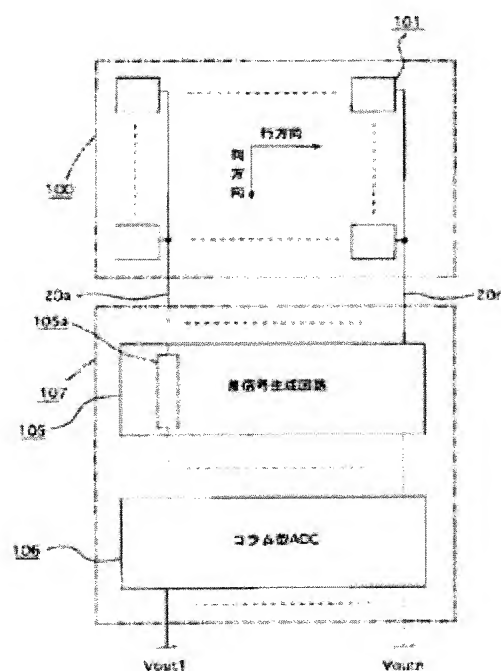
Priority country : JP

## (54) VARIABLE GAIN AMPLIFIER, SOLID-STATE IMAGING DEVICE AND METHOD FOR READING OPTICAL SIGNAL

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state imaging device in which the SN ratio can be enhanced, while enhancing the dynamic range at digitizing of photoelectric signal.

**SOLUTION:** The solid-state imaging device comprises a plurality of photoelectric conversion elements 101 arranged in row and column form and converting an optical signal into an electrical signal, a differential signal generating circuit 105 provided for each row and sequentially receiving a signal voltage produced, by converting an optical signal into an electrical signal and a second signal voltage, after the initialization of the photoelectric conversion elements 101, converting the signal voltage and the second signal voltage into charges to make a differential signal of the signal voltage generated and the second signal voltage, and regulating the gain depending on the magnitude of the differential signal to output a differential signal, and an analog/digital conversion circuit 106 connected to the output of the differential signal generating circuit 105.



## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## CLAIMS

[Claim(s)]

[Claim 1]An input terminal of variable gain amplifier which inputs the 1st signal level and 2nd signal level one by one, An output terminal of variable gain amplifier which outputs a difference signal of said 1st signal level and the 2nd signal level, An operational amplifier which has a positive input terminal into which reference voltage is inputted, a negative input terminal connected with an input terminal of said variable gain amplifier via a signal path and an output terminal of said variable gain amplifier, and an output terminal connected, It is provided in a signal path from an input terminal of said variable gain amplifier to a negative input terminal of said operational amplifier, Input capacitance with which one end is connected with an input terminal of said variable gain amplifier via said signal path, and the other end is connected with a negative input terminal of said operational amplifier via said signal path, Feedback capacity with variable capacity value provided between a negative input terminal of said operational amplifier, and an output terminal of said operational amplifier, The 1st switch element that connects a signal path from an input terminal of said variable gain amplifier to an end of said input capacitance, or is opened, Variable gain amplifier which has the 3rd switch element that connects between the 2nd switch element that connects an input terminal of said reference voltage to an end of said input capacitance, or is opened, and negative input terminals of said operational amplifier and output terminals of said operational amplifier, or is opened, and is characterized by things.

[Claim 2]The variable gain amplifier according to claim 1, wherein said feedback capacity consisted of two or more capacitative elements and makes selectable a capacitative element required for setting out of capacity value of said feedback capacity from inside of two or more of said capacitative elements by one or more switch elements.

[Claim 3]It is the variable gain amplifier which outputs a difference signal of the 1st signal level and the 2nd signal level, Input said 1st signal level and said 2nd signal level one by one, change said 1st signal level and said 2nd signal level into an electric charge, generate a difference signal of said 1st signal level and the 2nd signal level, and gain control is carried out according to a size of this difference signal, Variable gain amplifier outputting a difference signal with which an output level was adjusted.

**\* NOTICES \***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention about variable gain amplifier, a solid state camera, and a lightwave signal read method in more detail, It is related with the solid state camera and lightwave signal read method which are used for variable gain amplifier in which gain control is possible according to a level, a video camera and an electronic camera, an image input camera, a scanner, or a facsimile of an input signal, etc. and which change a lightwave signal into a digital signal and output it.

[0002]

[Description of the Prior Art]Since semiconductor image sensors, such as a CCD type image sensor and an MOS type image sensor, are excellent in mass production nature, they are applied to many image input device devices with progress of the minuteness making art of a pattern.

[0003]In particular, since it has the advantage that power consumption is small and can create a sensor element and a peripheral circuit element by the same CMOS technology compared with a CCD type image sensor, the CMOS type image sensor attracts attention in recent years.

[0004]Such a CMOS type image sensor is indicated to U.S. Pat. No. 6,128,039. The CMOS type image sensor of this U.S. Pat. No. 6,128,039 is called what is called an active pixel sensor. The signal level is made to output by a source follower in combination with the active load of constant current source M4 grade, as shown in drawing 10 posted from U.S. Pat. No. 6,128,039.

[0005]In the CMOS type image sensor of U.S. Pat. No. 6,128,039, the load carrying capacity C1 for signal-charge accumulation and the capacity Cgs between gate sauce of the read transistor M2 are connected to the gate of M2 in series. It means that such capacity had entered in parallel with the fixed capacity of an electric charge/voltage conversion, and it changes the fixed capacity of the electric charge/voltage conversion on appearance. Since the source potential of M2 changes a lot between signal read-out by C1 connected to the sauce of M2 being charged and this electrical change returns to the gate of M2 through Cgs of M2, input potentials also change and the linearity of a transfer characteristic is spoiled remarkably. For this reason, in this CMOS type image sensor, the constant current source M4 as load of the read transistor M2 was inescapable.

[0006]An integration method column type analog-to-digital converter (column type ADC is called hereafter.) is carried in an image sensor in recent years. In the column type ADC, the photoelectricity signal which is an analog signal is changed into the pulse-counting value corresponding to the size of a photoelectricity signal with a pulse counter as compared with the comparison ramp voltage which has predetermined inclination with a comparator.

[0007]In that case, when an analog signal is small, the inclination of comparison ramp voltage was also made small and the dynamic range is secured.

[0008]With the solid state camera which was horizontal and was arranged perpendicularly, operate a sampling pixel on a curtailed schedule for many unit pixels at the time of moving image reproduction, and he makes only the detecting signal of the remaining pixels output, and is trying to make a frame rate increase.

[0009]

[Problem(s) to be Solved by the Invention]However, in the image sensor provided with the constant current source M4 for every sequence, since the constant current source M4 has dispersion in the characteristic separately, dispersion in a profit is produced for every sequence. When the dispersion appears as offset difference of a row unit and sees in the pictures, it becomes the so-called fixed pattern noise of length, and appears.

[0010]When making the signal level outputted from the conventional image sensor input into column type ADC and the inclination of comparison ramp voltage is made small corresponding to a small analog signal, with the linearity of a ramp signal, or the comparison accuracy of a comparator. And the signal to noise ratio is restricted by the influence of the offset voltage produced in an optoelectric transducer etc.

[0011]If a sampling pixel is operated on a curtailed schedule with the conventional image sensor, MTF (Modulation Transfer Function: resolution) will deteriorate, and it will become a picture with much moire. A sampling is thinned out and written, and when it falls the less than twice of the sampling frequency proportional to the reciprocal of a sampling pixel interval therefore, there is a possibility that a clinch noise may occur. Since it is necessary to operate an image sensor at high speed according to a pixel number, power consumption will become large.

[0012]This invention is invented in view of the problem of the above-mentioned conventional technology, and is faced digitizing a photoelectricity signal, The variable gain amplifier which can aim at improvement in the signal to noise ratio aiming at improvement in a dynamic range, Providing a solid state camera and a lightwave signal read method, and reducing a fixed pattern noise, operating a sampling pixel on a curtailed schedule further, and maintaining low-power-consumption operation. The solid state camera and lightwave signal read method which can control the fall of resolution and generating of a clinch noise are provided.

[0013]

[Means for Solving the Problem]In order to solve an aforementioned problem, variable gain amplifier of this invention, As shown in drawing 1, by inputting the 1st signal level and the 2nd signal level one by one, It is characterized by amplifying and outputting a difference signal on a profit that the 1st signal level and 2nd signal level are changed into an electric charge, and a difference signal of the 1st signal level and the 2nd signal level is generated, and a difference signal enters within the limits of a digital coding analog input level.

[0014]The variable gain amplifier 105a consists of what is called a chopper type switched capacitor type integration circuit. A chopper type switched capacitor type integration circuit, For example, the operational amplifier 31 which has a positive input terminal (+), a negative input terminal (-), and an output terminal in which the reference voltage  $V_{ref}$  is impressed as shown in drawing 1, The input capacitance  $C_i$  ( $C1$ ) provided in a signal path from an input terminal of the variable gain amplifier 105a to a negative input terminal (-) of the operational amplifier 31, The feedback capacity  $C_f(s)$  ( $C2, C3, C4, \dots$ , etc.) which consists of two or more capacitative elements provided between a negative input terminal (-) of the operational amplifier 31, and an output terminal, The 1st switch element SW1 which short-circuits a signal path from an input terminal of the variable gain amplifier 105a to the other end of the input capacitance  $C_i$ , or is opened, and SW2, It has the 3rd switch element SW4 that short-circuits between the 2nd switch element SW3 that, or is turned off, and negative input terminals (-) of the operational amplifier 31 and output terminals, or is opened. [ the 2nd ] [ an input of the reference voltage  $V_{ref}$  to the other end of the input capacitance  $C_i$  ]

[0015]Adjustment of amplification gain of the operational amplifier 31 can be performed as follows.

[0016]Namely, capacitative elements which constitute the feedback capacity  $C_f$ , such as  $C2, C3, C4$ , and  $\dots$ , Since it is connected to switch elements (SW5, SW6 .. etc.) which control connection of a between [ input and output of the operational amplifier 31 of each capacitative element ], and connectionless, Switch elements (SW5, SW6 .. etc.) can be one [ switch elements ] and turned off selectively, a suitable capacitative element can be chosen, and it can connect between input and output of the operational amplifier 31. Thereby, capacity value of the feedback capacity  $C_f$  is adjusted and a ratio ( $C_i/C_f$ ) of the input capacitance  $C_i$  to the feedback capacity  $C_f$  is adjusted. Thereby, adjustment of amplification gain of the operational amplifier 31

is attained.

[0017] A solid state camera has an analog-to-digital conversion circuit which is connected with an output side of variable gain amplifier of an optoelectric transducer arranged by row and column and the above which it is provided for every sequence and connected with an output of an optoelectric transducer for every sequence, and variable gain amplifier, and changes a difference signal into a digital signal. In this case, the 2nd signal level when an optoelectric transducer is initialized is used as the 2nd signal level as the 1st signal level inputted into variable gain amplifier, using a signal level produced by changing a lightwave signal into an electrical signal.

[0018] While according to the lightwave signal read method changing the 1st signal level into an electric charge, accumulating it, outputting the 2nd signal level and changing into an electric charge, It is characterized by amplifying a difference signal on a profit that a difference signal of the 1st accumulated signal level and the 2nd signal level changed into an electric charge enters within the limits of a digital coding analog input level.

[0019] Thus, even when amplitude of analog signal voltage is smaller than the range of a digital coding analog input level, analog signal voltage can be amplified and the range of a digital coding analog input level can be made to suit according to this invention. Thereby, on the occasion of digitization of analog signal voltage, a dynamic range can be secured and the signal to noise ratio can be raised.

[0020] Even if the above-mentioned solid state camera has a high concentration buried layer which accumulates an optical generating electric charge in the circumference of the source region under a channel of a MOS transistor for lightwave signal detection and does not connect active loads, such as a constant current source, to source which is an outgoing end of the pixel 101, it is characterized by the ability to read a lightwave signal. With the above-mentioned solid state camera, since gate potential is maintained at constant potential by external power, surface potential is uniquely decided by an optical generating hole accumulated in a high concentration buried layer. Since a state of an optical generating hole accumulated in a high concentration buried layer is not influenced by source potential, even if source potential changes between signal read-out, it does not exert an unnecessary return operation on a high concentration buried layer. Therefore, even if arranging the characteristic uses only easy capacity as load of a source follower not using a constant current source which cannot arrange the characteristic easily, surface potential can be correctly told to source. Thereby, signal read-out becomes possible, controlling a fixed pattern noise.

[0021] According to another this invention, so that it may illustrate to drawing 6 The amplifier 105a of at least two sequences, Pixel mixing switch element SM which connects between these in more detail between at least two negative input terminals of operational amplifier 31 comrades of the amplifier 105a and 105b of a sequence, or is made connectionless between 105b is provided. In the case of a solid state camera treating an animation, this composition is the optimal.

[0022] And infanticide operation can be performed by making pixel mixing switch element SM one, and mixing and equalizing a signal from the pixel 101 of at least two sequences with the above-mentioned composition.

[0023] In this case, since a signal equalized as a signal in pixel 101 position by which scanning Uema length was carried out is outputted even if it performs scanning Uema length, a sampling frequency does not fall. Therefore, a fall of resolution can be prevented, generating of a clinch noise can be prevented, and a good picture is acquired. Since the number of times of signal processing becomes fewer according to infanticide, power consumption is reduced.

[0024]

[Embodiment of the Invention] Below, an embodiment of the invention is described with reference to Drawings.

[0025] (A 1st embodiment)

(i) Explain the detailed composition of the variable gain amplifier 105a which is a 1st embodiment of this invention with reference to the lineblock diagram 1 of variable gain amplifier. This variable gain amplifier 105a is an amplifying circuit which can generate the difference signal about two

signals, and has the feature that an amplification factor can be changed especially according to the size of a difference signal.

[0026]The variable gain amplifier 105a is provided with the operational amplifier 31 which has a positive input terminal (+), a negative input terminal (−), and an output terminal as shown in drawing 1. Reference voltage ( $V_{ref}$ ) is inputted into a positive input terminal (+), and the 1st signal level  $V_t$  and 2nd signal level  $V_n$  that are the outputs of the optoelectric transducer 101 of the optical sensor array 100 are inputted into a negative input terminal (−), for example. The difference signal  $V_s (=V_t - V_n)$  excluding the 2nd signal level  $V_n$  in the 1st signal level  $V_t$  from the output terminal is outputted.

[0027]The series connection of the switch elements SW1 and SW2 and the input capacitance  $C_i$  which consists of the capacitor C1 is carried out to the signal path from the input terminal of the variable gain amplifier 105a to the negative input terminal of the operational amplifier 31. One end of the input capacitance  $C_i$  is connected with the input terminal of the variable gain amplifier 105a via switch element SW1 and SW2, and the other end of the input capacitance  $C_i$  is connected with the negative input terminal of the operational amplifier 31. The switch elements SW1 and SW2 constitute the 1st switch element.

[0028]Switch element SW1 consists of a n channel MOS transistor of a simple substance, and switch element SW2 consists of a transmission gate which comprised one or more MOS transistors. The input of the input signal to the end of the input capacitance  $C_i$  is both turned on and off. The outgoing end of the optoelectric transducer 101 is connected to the input terminal of the variable gain amplifier 105a, for example. Since the optoelectric transducer 101 is initialized, when impressing positive big voltage through the outgoing end, among the 1st switch element, switch element SW1 works effectively and it prevents the input of the high tension to the variable gain amplifier 105a.

[0029]Reference voltage ( $V_{ref}$ ) is connected to the end of the input capacitance  $C_i$  via switch element (2nd switch element) SW3. Between the negative input terminal (−) of the operational amplifier 31, and the output terminal, multiple connection of the feedback capacity  $C_f$  and switch element (3rd switch element) SW4 is carried out.

[0030]The feedback capacity  $C_f$  comprises two or more capacitors C2, C3, and C4. So that the capacitor C3 and C4 may be arbitrarily chosen among the capacitor C2, C3, and C4 and the capacity value of the feedback capacity  $C_f$  can be adjusted, The 5th and 6th switch element SW5 that connect each capacitor C3 and C4 between the negative input terminal (−) and output terminal of the operational amplifier 31, or are made connectionless, and SW6 are provided.

[0031]Connection/connectionless one constitute the feedback capacity  $C_f$  from three or more selectable capacitors besides the capacitor C2 by which connection was fixed, It is also possible to provide corresponding three or more switch element SW5 which connection/connectionless one connect each selectable capacitor C3, C4, and .. between the negative input terminal (−) and output terminal of the operational amplifier 31, or are made connectionless, SW6, and ..

[0032]The output terminal of the operational amplifier 31 is connected to the input of column type ADC106 for every sequence. When the difference signal outputted from the operational amplifier 31 has separated from the range of the digital coding analog input level of column type ADC106 of the next step at this time, it is necessary to adjust amplification gain so that a difference signal may enter within the limits of an analog input level. For this reason, automatically from the outside, the inside 1 [ at least / any ] of the 5th and 6th switch element SW5 and SW6 is chosen, and the signal ( $G_{sel1}$ ,  $G_{sel2}$ ) which controls those ON and OFF is supplied manually. That is, adjustment of the amplification gain of the operational amplifier 31 can be performed by adjusting the ratio ( $C_i/C_f$ ) of the input capacitance  $C_i$  to the feedback capacity  $C_f$  connected between the negative input terminal (−) of the operational amplifier 31, and the output terminal. The feedback capacity  $C_f$  comprises two or more capacitive elements of the capacitor C2, C3, and C4, one [ the feedback capacity / a switch element ] and turns off a switch element (SW5, SW6), and enables it to opt for a suitable capacitive element in this embodiment.

[0033]In Drawings, although the above-mentioned switch elements SW1 thru/or SW6 are indicated typically, the same function can be actually obtained using one or more transistors etc.

like the switch elements SW1 and SW2 explained in the top.

[0034](ii) Explain the solid state camera which applied the composition of a solid state camera, next the variable gain amplifier 105a of drawing 1.

[0035]Drawing 2 is a circuitry figure of the solid state camera which is a 1st embodiment of this invention. This solid state camera is provided with the following.

As shown in drawing 2, it is the optical sensor array 100.

Signal output circuit 107.

The signal output circuit 107 is provided with the following.

The difference signal generating circuit 105 which has arranged the variable gain amplifier 105a of drawing 1 for every sequence.

Column type analog-to-digital converter (column type ADC is called hereafter.) 106.

The MOS transistor of the pixel (optoelectric transducer) 101 on a par with a line is driven, it is proportional to the amount of incidence of light, and the digitized video signal (Vout1, ... Voutn) which does not contain the 2nd signal-level Vn ingredient is outputted from the signal output circuit 107 for every line.

[0036]First, the optical sensor array 100 is explained. This optical sensor array 100 has taken two-dimensional composition, and the pixel 101 is arranged by matrix form in the line writing direction and the column direction.

[0037]Subsequently, the element structure in the pixel 101 is explained. Drawing 8 is a top view showing the element layout in the pixel 101. Drawing 9 is a sectional view equivalent to the sectional view which meets the I-I line of drawing 8 showing the structure of the element section in a pixel.

[0038]The light-receiving diode 111 and MOS transistor 112 for lightwave signal detection adjoin, and the pixel 101 is formed.

[0039]These light-receiving diode 111 and MOS transistor 112 are formed in a well area different, respectively, i.e., the 1st well area 15a and 2nd well area 15b, and those well areas 15a and 15b are connected mutually. The 1st well area 15a in which the light-receiving diode 111 was formed constitutes a part of generating region of the electric charge by optical exposure. The 2nd well area 15b in which MOS transistor 112 was formed constitutes the gate region to which the threshold voltage of a channel can be changed with the potential given to this field 15b.

[0040]The drain area 17a of MOS transistor 112 is formed so that the peripheral part of the gate electrode 19 of ring shape may be surrounded, and the source region 16 is formed so that it may be surrounded by the inner circumference of the gate electrode 19 of ring shape.

[0041]The drain area 17a extends and the impurity range 17 of the light-receiving diode 111 is formed. That is, the impurity range 17 and the low-concentration drain area 17a are formed in one so that most fields may start the surface of the 1st and 2nd mutually connected well areas 15a and 15b.

[0042]The carrier pocket (high concentration buried layer) 25 which is the feature of this solid state image pickup device is in the 2nd well area 15b under the gate electrode 19, and it is formed so that the source region 16 may be surrounded in the periphery of the source region 16.

[0043]The drain area 17a is connected with the drain voltage (VDD) supply line (or drain electrode) 22 through the contact region 17b, the gate electrode 19 is connected to the vertical-scanning-signals (VSCAN) supply line 21, and the source region 16 is connected to the vertical output line (or source electrode) 20.

[0044]The component of the above-mentioned pixel 101 is covered with the insulator layer of the light transmittance state, and fields other than sensor window 24 of the light-receiving diode 111 are shaded by the metal layer (light-shielding film) 23 formed on the insulator layer.

[0045]Next, the peripheral circuit which drives the pixel 101 arranged by the row and column with reference to drawing 1, drawing 2, drawing 8, and drawing 9 is explained. Although not illustrated, the drive scanning circuit of vertical scanning signals (VSCAN) and the drive scanning circuit of drain voltage (VDD) which supply the signal which scans the pixel 101 around the sensor array 100 are arranged.



[0046]Every one vertical-scanning-signals supply line 21 per line is connected from the drive scanning circuit of vertical scanning signals (VSCAN), and each vertical-scanning-signals supply line 21 is connected to the gate 19 of MOS transistor 112 in all the pixels 101 on a par with a line writing direction.

[0047]Every one drain voltage supply line (VDD supply line) 22 per line is connected from the drive scanning circuit of drain voltage (VDD), and each drain voltage supply line (VDD supply line) 22 is connected to the drain 17a of MOS transistor 112 in all the pixels 101 on a par with a line writing direction.

[0048]The different vertical output lines 20a, ..., 20n for every sequence are formed, and each vertical output lines 20a, ..., 20n are connected to the source 16 of MOS transistor 112 in all the pixels 101 on a par with a column direction, respectively. The booster circuit which supplies the positive big voltage for initializing the pixel 101 and which is not illustrated is connected to each vertical output lines 20a, ..., 20n. That is, the voltage by which pressure up was carried out to the source 16 of MOS transistor 112 of each pixel 101 for every sequence is impressed. The voltage by which pressure up was carried out is further built over the gate 19 as a result through the capacity between the gate source of MOS transistor 112. The field intensity concerning the well areas 15a and 15b can be increased by this, a carrier can sweep, and \*\*\*\*\* can be promoted.

[0049]The source 16 of MOS transistor 112 is connected with the input edge of the signal output circuit 107 through the vertical output lines 20a, ..., 20n. In other words, the source 16 will be connected to the input edge of the variable gain amplifier 105a in the above-mentioned difference signal generating circuit 105 for every sequence, and it will link with the input capacitance  $C_i$  shown in drawing 1 at the time of signal read-out directly. Although omitted in drawing 2, in the middle of the vertical output lines 20a, ..., 20n, a switch element etc. are provided actually, and the flow of a signal is controlled.

[0050]The 1st signal level  $V_t$  and 2nd signal level  $V_n$  are inputted into the input edge of the difference signal generating circuit 105, and the difference signal  $V_s (=V_t - V_n)$  except the 2nd signal level  $V_n$  generated when the pixel 101 is initialized is outputted by the 1st signal level  $V_t$  from the output terminal of the difference signal generating circuit 105. The output of the difference signal generating circuit 105 is connected to the input edge of column type ADC106 for every sequence.

[0051]Gain control can be carried out so that the capacity value of the feedback capacity  $C_f$  may be chosen by signal  $G_{sel1}$  from the outside, and  $G_{sel2}$  and the size of the difference signal  $V_s$  may suit within the limits of a digital coding analog input level in the difference signal generating circuit 105, From an output terminal, the difference signal  $V_s$  or  $V_{smp}$  to which the analog output level was adjusted is outputted.

[0052]Column type ADC106 compares the difference signal  $V_s$  or  $V_{smp}$  which is an analog signal with comparison ramp voltage  $V_L$  which has predetermined inclination with an unillustrated comparator, as shown in drawing 3 (a) and (b), It changes into the pulse-counting value  $N_c$  or  $N_{ca}$  corresponding to a size of the difference signal  $V_s$  or  $V_{smp}$  with an unillustrated pulse counter. The pulse-counting value  $N_{ca}$  multiplies by the coefficient in consideration of amplification gain, and is changed into the pulse-counting value  $N_c$  corresponding to the actual difference signal  $V_s$ .

[0053]The digitized video signal is outputted from the output terminal of column type ADC106 corresponding to the pixel row for every line.

[0054]As mentioned above, according to the solid state camera of this embodiment of the invention, the difference signal corresponding to a lightwave signal can be amplified on a profit which suits within the limits of a digital coding analog input level.

[0055]Even if the above-mentioned solid state camera does not connect active loads, such as a constant current source, to the source 16 which is an outgoing end of the pixel 101, it is characterized by the ability to read a lightwave signal. This is because it has the high concentration buried layer 25 which accumulates an optical generating electric charge (hole) so that MOS transistor 112 for signal detection may surround the source region 16 under a channel. This Reason is as follows.

[0056]By accumulating an optical generating hole in the potential well of the p type high



concentration buried layer 25, and changing the negative space charge in the depletion-ized well area 15b, a threshold is modulated and the surface potential of MOS transistor 112 is determined. Since gate potential is maintained at constant potential by the external power at this time, surface potential is uniquely decided by the optical generating hole accumulated in the potential well. Since the state of the optical generating hole accumulated in the high concentration buried layer 25 is not influenced by source potential, when forming the source follower which makes signal-charge storage capacitance load and reading a signal, even if source potential changes between signal read-out, it will not exert an unnecessary return operation on the high concentration buried layer 25. Therefore, since it is not necessary to connect a constant current source to the source region 16 of MOS transistor 112, and to keep the potential difference between source gates constant to it, surface potential can be told to source only for capacity with easy arranging the characteristic also as load of a source follower.

[0057] Thereby, signal read-out becomes possible, controlling a fixed pattern noise.

[0058] (iv) Explain the detecting operation and read operation of a lightwave signal concerning a 1st embodiment of this invention with reference to the detecting operation and the read operation next drawing 3 thru/or drawing 5 of a lightwave signal.

[0059] Drawing 3 (a) and (b) is a figure showing operation of column type ADC106. Drawing 4 is a timing chart which explains the detecting operation and read operation of a lightwave signal paying attention to the pixel 101. It applies, when the above-mentioned MOS transistor for lightwave signal detection is nMOS.

[0060] Drawing 5 shows the timing chart for operating the difference signal generating circuit 105. Vout1, ..., Voutn show the digitized video signal which is outputted from the signal output circuit 107.

[0061] As shown in drawing 4, the detecting operation and read operation of a lightwave signal repeat a series of processes in which it consists of a storage period-read-out period-\*\*\*\* period (initialization period)-noise read-out period, and perform them.

[0062] First, a series of operations are explained with reference to drawing 4. Explanation is begun from a storage period for convenience' sake. Drawing 1, drawing 2, drawing 8, and drawing 9 are also referred to suitably as occasion demands.

[0063] An optical exposure is performed to the light-receiving diode 111, an optical generating hole is generated, and it transmits under the channel regions of MOS transistor 112, and is made to accumulate in the high concentration buried layer 25 in a storage period. Thereby, since the threshold voltage of MOS transistor 112 changes, change of the threshold voltage is made to output as the source voltage  $V_{ps}$  in the next read-out period.

[0064] The source voltage  $V_{ps}$  is outputted as a lightwave signal which operated MOS transistor 112 and is proportional to the accumulated dose of an optical generating hole, and the input capacitance  $C_i$  is made to memorize in a read-out period. This source voltage  $V_{ps}$  constitutes the signal level  $V_t$  changed into the electrical signal from a lightwave signal, and contains the 2nd signal-level ingredient  $V_n$  other than the true signal-level ingredient  $V_s$  according to luminous intensity.

[0065] In an initialization period, open switch element SW1 wide and high tension is impressed to the gate electrode 19 and the drain area 17a through the source region 16 of MOS transistor 112. An accumulation hole is discharged from the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection, and the pixel 101 is initialized.

[0066] In a noise read-out period, the source voltage  $V_{ps}$  in the state where it was initialized is outputted from the pixel 101 as the 2nd signal level  $V_n$ , and the difference signal  $V_s (= V_t - V_n)$  which made it input into the signal output circuit 107, and removed the 2nd signal level  $V_n$  is taken out.

[0067] It returns at the storage period again above-mentioned after the end of a noise read-out period.

[0068] Next, generation operation of the digitized difference signal  $V_s$  is explained in detail, making it correspond to the difference signal generating circuit 105 and a series of processes in which it consists of a storage period-read-out period-\*\*\*\* period (initialization period)-noise read-out period especially paying attention to the variable gain amplifier 105a of drawing 1, with

reference to drawing 5.

[0069]In a storage period, all the signals SCN and CLM as a High level (H level is called hereafter.), Switch element SW2 and SW4 are made into an ON state, and the signals Load and RSM are set to switch element SW1, and each makes SW3 an OFF state as a Low level (L level is called hereafter.).

[0070]Each of the signals Load, SCN, and RSM, CLM, Gsel1, and Gsel2 is used as H level in the period at the time of the end of a storage period (input capacitance initialization period), Switch element SW1, SW2, SW3, SW4, SW5, and SW6 are made into an ON state, and the electric charge of the capacitor C1 which is the input capacitance  $C_i$ , the capacitor C2 which is the feedback capacity  $C_f$ , C3, and C4 is initialized.

[0071]Then, in a sensor signal read in period (read-out period), switch element SW3 is made into an OFF state by using signal RSM as L level. Other switch element SW1, SW2, and SW4 are held with a front state. Thereby, the 1st signal level  $V_t$  from the pixel 101 is supplied to the input capacitance  $C_i$  of the variable gain amplifier 105a, respectively. However, the lightwave signal ingredient  $V_s$  and the 2nd signal-level ingredient  $V_n$  are contained in this 1st signal level  $V_t$ .

[0072]At this time, the potential difference of the both sides of the input capacitance  $C_i$  of the variable gain amplifier 105a serves as  $V_t - V_{ref}$ . And since switch element SW4 is an ON state, the output of the operational amplifier 31 of the variable gain amplifier 105a serves as  $V_{ref}$ .

[0073]In a pixel initialization period (initialization period), switch element SW1 and SW2 are made into an OFF state by using the signals Load and SCN as L level. Other switch element SW3 and SW4 are held with a front state. High voltage is supplied to the outgoing end of the pixel 101 in the meantime, and a pixel is initialized. That is, stored charge in the light-receiving diode 111 and MOS transistor 112 is emptied.

[0074]Then, in a noise read-out period, the vertical output lines 20a, ..., 20n are made into earth potentials via the switch element which is not illustrated, and switch element SW2 is held by using signal SCN as L level in the period at the time of a standup (signal wire initialization period) with an OFF state. While making switch element SW4 into an OFF state by using signal CLM as L level, by using signal Gsel1 as H level, switch element SW5 is made into an ON state, the capacitive element C3 is chosen, and the feedback capacity  $C_f$  is set up become equal to the input capacitance  $C_i$ . Here, capacity value equal to the capacity value of the input capacitance  $C_i$  is set to  $C_2 + C_3$ . Switch element SW1 and SW3 are made one by using the signals Load and RSM as H level. This initializes the electric charge accumulated in the signal wire in the variable gain amplifier 105a. Since the end side of the input capacitance  $C_i$  serves as  $V_{ref}$ , electric charge  $C_i - (V_t - V_{ref})$  accumulated in the input capacitance  $C_i$  is transmitted to the feedback capacity  $C_f (= C_2 + C_3)$ . The potential difference of the both ends of the input capacitance  $C_i$  is set to 0.

[0075]While making switch SW2 into an ON state by using signal SCN as H level after progress of a signal wire initialization period, switch SW3 and SW4 are made into an OFF state by using the signals RSM and CLM as L level. SW5 is made into an ON state by using signal Gsel1 as H level, and the capacitive element C3 is chosen. Thereby, the potential difference of the both ends of the input capacitance  $C_i$  of the variable gain amplifier 105a changes from 0 to  $V_n - V_{ref}$ . Electric charge  $C_i - (V_t - V_n) / C_f (= V_s)$  corresponding to this is accumulated also in the feedback capacity  $C_f$ , and the output of the operational amplifier 31 serves as a signal level ( $V_{ref} - V_s$ ) including the difference signal  $V_s$ .

[0076]Subsequently, it compares with the difference signal  $V_s$  and the range of a digital coding analog input level. When the size of the difference signal  $V_s$  is the range of a digital coding analog input level, it outputs to column type ADC106 as it is.

[0077]The capacity value of the feedback capacity  $C_f$  is chosen so that the difference signal  $V_s$  may be amplified on the other hand on the profit that the size of the difference signal  $V_s$  becomes larger than the lower limit with the signal from the outside, for example in the size of the difference signal  $V_s$  when smaller than the lower limit of the range of a digital coding analog input level. Here, if capacity value from which required amplification gain is obtained is set to  $C_2 + C_4 (< C_2 + C_3)$ , while making SW5 into an OFF state by using Gsel1 as L level, SW6 is made into an ON state by using Gsel2 as H level, and capacitive element  $C_2 + C_4$  is chosen as the

feedback capacity  $C_f$ .

[0078] And after initializing the input capacitance  $C_i$  and the feedback capacity  $C_f$ , the 1st signal level  $V_t$  is newly inputted into the input capacitance  $C_i$ , and it changes into an electric charge, then transmits to the feedback capacity  $C_f$ . Then, the 2nd signal level  $V_n$  is inputted into the input capacitance  $C_i$  and the feedback capacity  $C_f$ , and is changed into an electric charge. That is, the potential difference of the both sides of the capacitive element  $C_1$  which is the input capacitance  $C_i$  of the variable gain amplifier 105a changes from  $V_t - V_{ref}$  to  $V_n - V_{ref}$  through 0. Electric charge  $C_i - (V_t - V_n) / C_f (= V_{samp})$  corresponding to this is accumulated also in the capacitive element ( $C_2 + C_4$ ) which is the feedback capacity  $C_f$ , and a signal level ( $V_{ref} - V_{samp}$ ) including the difference signal  $V_{samp}$  amplified from the output of the operational amplifier 31 is outputted.

[0079] And the difference signal  $V_s$  or  $V_{samp}$  is made to input into column type ADC106 shown in drawing 2, and it is made to change into a digital signal. It outputs from the output terminal of column type ADC106 by making this digital signal into a video signal.

[0080] In this invention, since it has amplifier for every sequence, have a peculiar offset value for every amplifier of this, and it is expected here that column type ADC106 output contains an offset ingredient for every sequence for this reason, but. This offset ingredient is easily removable by digitizing beforehand, carrying out the memory, adding as an adjustment signal in the optical black signal detection in a blanking period, and doing a digital operation between the digital signals of a difference signal.

[0081] As mentioned above, although a 1st embodiment explained this invention in detail, the scope of this invention is not restricted to the example concretely shown in the above-mentioned embodiment, and change of the above-mentioned embodiment of the range which does not deviate from the gist of this invention is included in the scope of this invention.

[0082] Although the range of a digital coding analog input level is used as a standard which compares a difference signal, it is not restricted to this.

(A 2nd embodiment)

(i) Explain the composition of the solid state camera in a 2nd embodiment of this invention with reference to the lineblock diagram 6 of a solid state camera. Drawing 6 is a circuitry figure of the solid state camera in a 2nd embodiment of this invention.

[0083] In this solid state camera, a different place from a 1st embodiment, The negative input terminal (-) of the operational amplifier 31 of the variable gain amplifier 105a of one sequence among the variable gain amplifier 105a and 105b formed for every sequence in the difference signal generating circuit 105 as shown in drawing 6, and .., It is that the negative input terminal (-) of the operational amplifier 31 of the variable gain amplifier 105b of the next sequence is connected via switch element (pixel mixing switch element) SM.

[0084] The arrangement of the pixel 101 of the optical sensor array 100 of this embodiment is the color filter array arrangement of the basic form of the Bayer method. In this color filter array arrangement, R, G, and B are arranged to four adjoining fields, and G of the same color is arranged aslant. The vertical output lines 20a and 20b of the pixel 101 of such G are connected to the above-mentioned variable gain amplifier 105a and 105b.

[0085] In this circuitry, it can become the same circuitry as a 1st embodiment by changing switch element SM into a connectionless state, and that circuit can be operated like a 1st embodiment. The difference signal of said G with which two sequences adjoin can be mixed, and the video signal equalized by the output of those sequences can be made to output by connecting switch element SM by switch signal MODE.

[0086] Although the variable gain amplifier 105a and 105b is used above as amplifier of the signal level outputted from the pixel 101, When gain control is unnecessary, what removed the capacitive element  $C_3$ ,  $C_4$  and switch element SW5, and SW6 from the variable gain amplifier 105a and 105b can be used.

[0087] (ii) Explain photodetection operation, next photodetection operation of the solid state camera which is a 2nd embodiment with reference to Drawings.

[0088] In the solid state camera of this embodiment, it is possible to perform the same usual operation as a 1st embodiment and pixel mixing in infanticide operation. In order to perform the

usual operation, as described above, switch element SM is changed into a connectionless state, is made the same as the circuitry of a 1st embodiment, and is operated like a 1st embodiment. Thereby, the video signal by which level adjustment was carried out can be made to output. [0089]Next, operation of pixel mixing is explained. Drawing 7 shows the timing chart for performing pixel mixing using the difference signal generating circuit 105 of drawing 6. In explanation, drawing 6 is also referred to as occasion demands. In this case, only the inside C2 of the capacitive element C2, C3, and C4 is used as the feedback capacity  $C_f$  — a thing is carried out.

[0090]In lightwave signal reading operation including operation of the pixel mixing of this embodiment, the accumulation operation of an optical generating hole, the initializing operation of the input capacitance  $C_i$ , read in operation of the sensor signal (the 1st signal level)  $V_{ta}V_{tb}$ , the reset action of a pixel, the initializing operation of a signal wire, and noise reading operation are repeated in order, and are performed. Operation of pixel mixing is simultaneously performed at the time of noise reading operation.

[0091]First, pixel mixing switch element SM is made connectionless, and the accumulation operation of an optical generating hole to the initializing operation of a signal wire performs the same operation as the operation explained by drawing 5 of a 1st embodiment. While electric charge  $C_i - (V_{ta} - V_{ref})$  is accumulated in the feedback capacity  $C_f$  of the variable gain amplifier 105a and electric charge  $C_i - (V_{tb} - V_{ref})$  is accumulated in the feedback capacity  $C_f$  of the variable gain amplifier 105b by this, it will be in the state where the signal wire containing the input capacitance  $C_i$  was initialized.

[0092]Subsequently, it shifts to noise reading operation, switch element SM is connected by using the signal MODE as H level, and the negative input terminals of the operational amplifier 31 concerning the variable gain amplifier 105a and 105b of two sequences are connected. This will be in the state in which pixel mixing is possible. Switch element SW2 is connected by using signal SCN as H level, connecting switch element SW1 and holding switch element SW4 to an opened condition simultaneously, at this time, and switch element SW3 is opened by using signal RSM as L level. This will be in the state where the 2nd signal level  $V_{na}V_{nb}$  from the pixel 101 can be inputted.

[0093]In the variable gain amplifier 105a, the potential difference of the both ends of the capacitor C1 should change from 0 to  $V_{na} - V_{ref}$ , and the potential difference of the both ends of C2 should change with the inputs of the 2nd signal level  $V_{na}$  from the pixel 101 to  $C1 - (V_{ta} - V_{na})/C2$ . In the variable gain amplifier 105b, the potential difference of the both ends of the capacitor C1 should change from 0 to  $V_{nb} - V_{ref}$ , and the potential difference of the both ends of C2 should change with the inputs of the 2nd signal level  $V_{nb}$  from the pixel 101 to  $C1 - (V_{tb} - V_{nb})/C2$ . In this case, since the variable gain amplifier 105a and the input edge of C2 between 105b are connected by switch element SM, The electric charge which should be independently accumulated in each C2 is mixed, and since it is equalized, the potential difference  $\Delta V_0$  of each both ends of C2 is set to abbreviated  $C1/C2 - ((V_{ta} - V_{na}) + (V_{tb} - V_{nb})) / 2$ . The output of each operational amplifier 31 serves as  $V_{ref} - \Delta V_0$ . Then, signal processing is carried out suitably and the video signal of G is outputted from video signal output terminals.

[0094]By the way, in the conventional common solid state camera, since a sampling pixel is operated on a curtailed schedule, MTF deteriorates, it becomes a picture with much moire, or a clinch noise occurs. Since it is necessary to operate an image sensor at high speed, power consumption will become large.

[0095]On the other hand, in this embodiment, the video signal which mixes and equalizes the pixel signal of the same color of at least two sequences, and starts infanticide is generated by connecting switch element SM. Therefore, even if it culls out, degradation of MTF accompanying a sampling can be prevented. Since the equalized video signal in pixel 101 position by which scanning Uema length was carried out is outputted, a sampling frequency does not fall. Thereby, generating of a clinch noise can be prevented.

[0096]Since the number of times of signal processing becomes fewer according to infanticide, increase of power consumption is avoided.

[0097]Multi-functionalization of a signal output circuit can be attained by an easy means as the

usual operation and infanticide operation can be performed only by the change of internal switch element SM.

[0098]As mentioned above, although a 2nd embodiment explained this invention in detail, the scope of this invention is not restricted to the example concretely shown in the above-mentioned embodiment, and change of the above-mentioned embodiment of the range which does not deviate from the gist of this invention is included in the scope of this invention.

[0099]For example, in a 2nd above-mentioned embodiment, although the color filter array arrangement of the basic form of the Bayer method is used as color arrangement of a pixel, it is also possible to use the color filter array arrangement of other methods.

[0100]Various modifications are applicable as an optoelectric transducer used for the solid state camera with which this invention is applied. As for this, a 1st embodiment is also the same. According to those embodiments, although the optoelectric transducer of a description and the optoelectric transducer of the same structure are especially used for the patent (registration-of-patent number No. 2935492), even if it links capacity with an output directly, the optoelectric transducer of other structures where an exact signal level is obtained can be used.

[0101]Although the 1st and 2nd well areas 15a and 15b are formed in the epitaxial layer 12 of the n type on the p type substrate 11, Instead of the n type epitaxial layer 12, a n type impurity may be introduced into a p type epitaxial layer, a n type well layer may be formed, and the 1st and 2nd well areas 15a and 15b may be formed in this n type well layer.

[0102]

[Effect of the Invention]Even when the amplitude of an analog difference signal is smaller than the range of a moderate digital coding analog input level, an analog difference signal can be amplified and the range of a digital coding analog input level can be made to suit according to this invention, as explained above.

[0103]Thereby, on the occasion of digitization of an analog difference signal, a dynamic range can be secured and the signal to noise ratio can be raised.

[0104]Even if the above-mentioned solid state camera has a high concentration buried layer which accumulates an optical generating electric charge in the circumference of the source region under the channel of the MOS transistor for lightwave signal detection and does not connect active loads, such as a constant current source, to the source which is an outgoing end of a pixel, it is characterized by the ability to read a lightwave signal. Therefore, even if arranging the characteristic uses only easy capacity as load of a source follower not using the constant current source which cannot arrange the characteristic easily, surface potential can be correctly told to source. Thereby, signal read-out becomes possible, controlling a fixed pattern noise.

[0105]The pixel which was arranged by the line and the sequence according to one mode of this invention, It has the amplifier which processes the output signal from a pixel and which was formed for every sequence, And the pixel mixing switch element is provided between the input terminals of the operational amplifier of the amplifier of at least two sequence, Since this switch element is connected at the time of infanticide operation, the pixel signal of at least two sequences is mixed and equalized and it is outputting as a video signal of each pixel, a picture without a clinch noise, i.e., a picture without moire, can be acquired, and power consumption can also be reduced.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing the variable gain amplifier concerning a 1st embodiment of this invention.

[Drawing 2] It is a figure showing the circuitry of the solid state camera provided with the variable gain amplifier concerning a 1st embodiment of this invention.

[Drawing 3] It is a figure showing operation of a digital disposal circuit (column type ADC) among the circuitry of the solid state camera of drawing 2.

[Drawing 4] It is a timing chart at the time of operating the solid state camera of a 1st embodiment of this invention.

[Drawing 5] It is a timing chart of difference signal generation operation of the solid state camera concerning a 1st embodiment of this invention.

[Drawing 6] It is a figure showing the composition of the circuit of the solid state camera provided with the signal output circuit concerning a 2nd embodiment of this invention.

[Drawing 7] It is a timing chart of pixel mixing operation of the solid state camera concerning a 2nd embodiment of this invention.

[Drawing 8] It is a top view showing the element structure in the pixel of the optical sensor array which constitutes the solid state camera concerning 1st and 2nd embodiments of this invention.

[Drawing 9] Similarly, it is a sectional view which meets the I-I line of drawing 8.

[Drawing 10] It is a figure showing the composition of the circuit of the solid state camera concerning a conventional example.

[Description of Notations]

20a and ... 20n vertical output line

31 Operational amplifier

100 Optical sensor array

101 Unit pixel

105 Difference signal generating circuit

105a, 105b variable gain amplifier

106 Column type ADC

107 Signal output circuit

C1, C2, C3, and C4 Capacitative element

Ci Input capacitance

Cf Feedback capacity

SM Pixel mixing switch element

SW1, SW2 switch element (the 1st switch element)

SW3 switch element (the 2nd switch element)

SW4 switch element (the 3rd switch element)

SW5, SW6 switch element

Vt Signal level (the 1st signal level)

Vn The 2nd signal level (the 2nd signal level)

Vout1 and ... the video signal by which Voutn digitization was carried out

---

[Translation done.]



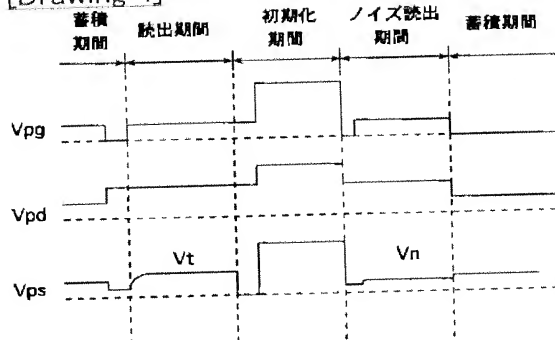
\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DRAWINGS

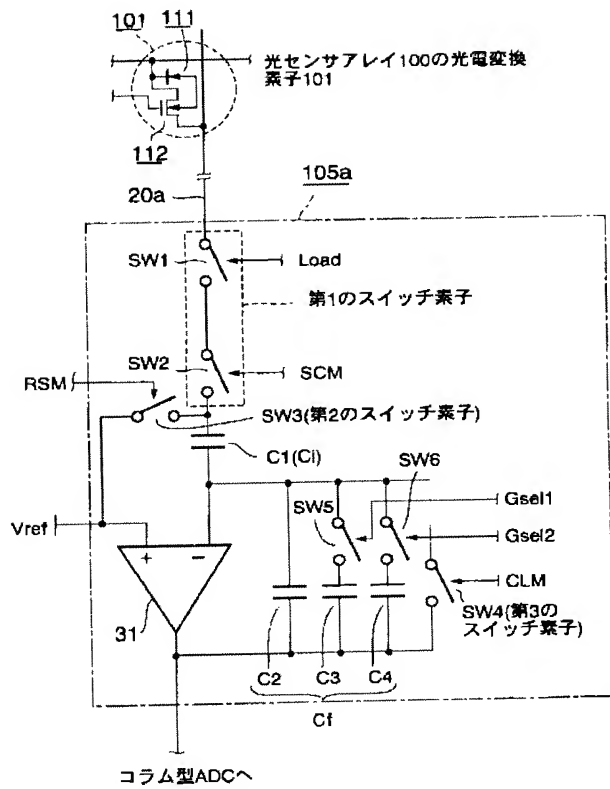
[Drawing 4]



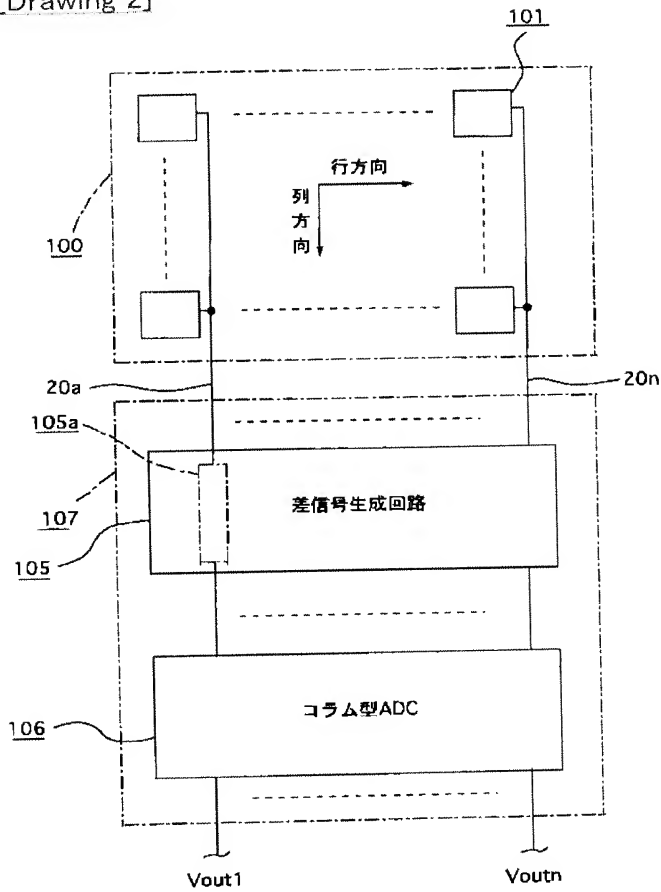
[Drawing 5]



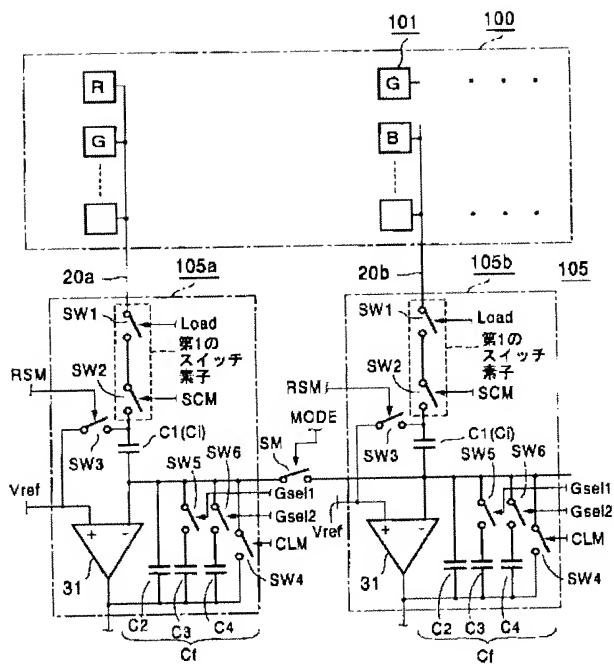
[Drawing 1]



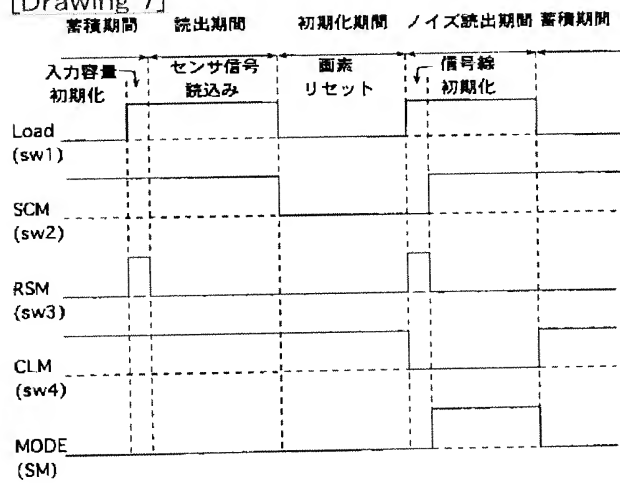
[Drawing 2]



[Drawing 6]

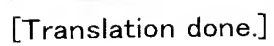
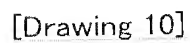


[Drawing 7]



[Drawing 3]







## 【特許請求の範囲】

【請求項 1】 第 1 の信号電圧と第 2 の信号電圧とを逐次入力する可変利得アンプの入力端子と、前記第 1 の信号電圧と第 2 の信号電圧との差信号を出力する可変利得アンプの出力端子と、

参照電圧が入力される正入力端子、前記可変利得アンプの入力端子と信号経路を介して接続される負入力端子及び前記可変利得アンプの出力端子と接続される出力端子を有する演算増幅器と、

前記可変利得アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記可変利得アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子と接続される入力容量と、

前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた容量値可変の帰還容量と、

前記可変利得アンプの入力端子から前記入力容量の一端に至る信号経路を接続し、或いは開放する第 1 のスイッチ素子と、

前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第 2 のスイッチ素子と、

前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第 3 のスイッチ素子とを有してなることを特徴とする可変利得アンプ。

【請求項 2】 前記帰還容量は、複数の容量素子からなり、1 以上のスイッチ素子により前記複数の容量素子のうちから前記帰還容量の容量値の設定に必要な容量素子を選択可能としたことを特徴とする請求項 1 記載の可変利得アンプ。

【請求項 3】 第 1 の信号電圧と第 2 の信号電圧との差信号を出力する可変利得アンプであって、前記第 1 の信号電圧と前記第 2 の信号電圧とを逐次入力し、前記第 1 の信号電圧及び前記第 2 の信号電圧を電荷に変換して前記第 1 の信号電圧と第 2 の信号電圧との差信号を生成し、該差信号の大きさに応じて利得調整して、出力レベルが調整された差信号を出力することを特徴とする可変利得アンプ。

【請求項 4】 光信号を電気信号に変換し、さらにデジタル信号に変換して出力する固体撮像装置において、前記光信号を電気信号に変換し出力する、行と列に配列された複数の光電変換素子と、

前記光信号を電気信号に変換した第 1 の信号電圧と前記光電変換素子を初期化したときの第 2 の信号電圧とを逐次入力する可変利得アンプの入力端子と、前記第 1 の信号電圧と前記第 2 信号電圧との差信号を出力する可変利得アンプの出力端子と、参照電圧が入力される正入力端子、前記可変利得アンプの入力端子と信号経路を介して接続される負入力端子及び前記可変利得アンプの出力端子と接続される出力端子を有する演算増幅器と、前記可変利得アンプの入力端子から前記演算増幅器の負入力端

子に至る信号経路に設けられ、一端が前記信号経路を介して前記可変利得アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子と接続される入力容量と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた容量値可変の帰還容量と、前記可変利得アンプの入力端子から前記入力容量の一端に至る信号経路を接続し、或いは開放する第 1 のスイッチ素子と、前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第 2 のスイッチ素子と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第 3 のスイッチ素子とを有し、出力レベルが調整された差信号を出力する前記列毎に設けられた可変利得アンプと、前記可変利得アンプから出力された差信号をデジタル信号に変換するアナログ／デジタル変換回路とを有してなることを特徴とする固体撮像装置。

【請求項 5】 前記帰還容量は複数の容量素子からなり、1 以上のスイッチ素子により前記複数の容量素子のうちから前記帰還容量の容量値の設定に必要な容量素子を選択可能としたことを特徴とする請求項 4 記載の固体撮像装置。

【請求項 6】 光信号を電気信号に変換し、さらにデジタル信号に変換して出力する固体撮像装置において、前記光信号を電気信号に変換し出力する、行と列に配列された複数の光電変換素子と、前記光信号を電気信号に変換した第 1 の信号電圧と前記光電変換素子を初期化したときの第 2 の信号電圧とを逐次入力し、前記第 1 の信号電圧及び前記第 2 の信号電圧を電荷に変換して前記第 1 の信号電圧と前記第 2 の信号電圧の差信号を生成し、該差信号の大きさに応じて利得調整して、出力レベルが調整された前記差信号を出力する、前記列毎に設けられた可変利得アンプと、前記可変利得アンプから出力された差信号をデジタル信号に変換するアナログ／デジタル変換回路とを有してなることを特徴とする固体撮像装置。

【請求項 7】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、前記第 1 の信号電圧及び第 2 の信号電圧は前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力されることを特徴とする請求項 4 乃至 6 の何れか一に記載の固体撮像装置。

【請求項 8】 光信号を電気信号に変換し、さらにデジタル信号に変換して出力する光信号読み出し方法において、光電変換素子に光信号を照射し、該光信号を電気信号に変換した第 1 の信号電圧を出力し、



前記第1の信号電圧を電荷に変換して蓄積し、  
前記光電変換素子を初期化したときの第2の信号電圧を出力し、  
前記第2の信号電圧を電荷に変換し、  
前記電荷に変換して蓄積された第1の信号電圧と前記電荷に変換された第2の信号電圧との差信号を生成し、該差信号を利得調整して、出力レベルが調整された差信号を生成し、  
前記出力レベルが調整された差信号をデジタル信号に変換することを特徴とする光信号読み出し方法。

【請求項9】 前記光信号読み出し方法は、さらに、行と列に配列された前記光電変換素子について、前記列毎に前記出力レベルが調整された差信号を生成することを特徴とする請求項8記載の光信号読み出し方法。

【請求項10】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、  
前記第1の信号電圧及び第2の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力することを特徴とする請求項8又は9記載の光信号読み出し方法。

【請求項11】 前記光信号読み出し方法において、前記第1の信号電圧と第2の信号電圧とを逐次入力する可変利得アンプの入力端子と、前記第1の信号電圧と第2の信号電圧との差信号を出力する可変利得アンプの出力端子と、参照電圧が入力される正入力端子、前記可変利得アンプの入力端子と信号経路を介して接続される負入力端子及び前記可変利得アンプの出力端子と接続される出力端子を有する演算増幅器と、前記可変利得アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記可変利得アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子と接続される入力容量と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた容量値可変の帰還容量と、前記可変利得アンプの入力端子から前記入力容量の一端に至る信号経路をし、或いは開放する第1のスイッチ素子と、前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第2のスイッチ素子と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第3のスイッチ素子とを有する可変利得アンプが前記列毎に設けられ、  
前記差信号が前記デジタル信号に変換する際のアナログ信号の入力電圧の範囲に適合するように前記入力容量と前記帰還容量の比を調整することにより利得調整し、  
前記受光素子で発生した光発生電荷を前記光信号検出用絶縁ゲート型電界効果トランジスタの高濃度埋込層に転

送して蓄積するとともに、前記第2のスイッチ素子及び第3のスイッチ素子を接続して前記入力容量及び帰還容量を初期化し、

次いで、前記第1のスイッチ素子及び第3のスイッチ素子を接続し、かつ前記第2のスイッチ素子を開放して、前記高濃度埋込層に蓄積された前記光発生電荷に応じた信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力し、さらに前記信号電圧を電荷に変換して前記入力容量に蓄積し、

10 次いで、前記第2のスイッチ素子を接続し、前記第3のスイッチ素子を開放して前記入力容量に蓄積されている信号電圧に係る電荷を前記帰還容量に転送し、

次いで、前記高濃度埋込層に残留する前記光発生電荷を排出して前記光電変換素子を初期化した後に、前記第1のスイッチ素子を接続し、かつ前記第2のスイッチ素子及び第3のスイッチ素子を開放して、前記光電変換素子が初期化された状態における第2の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力し、さらに前記第2の信号電圧を電荷に変換して前記信号電圧に係る電荷と前記第2の信号電圧に係る電荷との差を前記帰還容量に蓄積して前記差信号を生成し、  
前記出力レベルが調整された差信号を前記演算増幅器から前記列毎に出力することを特徴とする請求項10記載の光信号読み出し方法。

【請求項12】 光信号を電気信号に変換して出力する、行と列に配列された複数の光電変換素子と、前記列毎に設けられた前記光信号を電気信号に変換した第1の信号電圧と、前記光電変換素子を初期化したときの第2の信号電圧とを逐次入力し、前記第1の信号電圧及び前記第2の信号電圧を電荷に変換して前記第1の信号電圧と前記第2の信号電圧との差信号を出力するアンプと、  
前記アンプから出力された差信号を前記光信号に対応する映像信号として出力する映像信号出力端子とを有し、  
少なくとも2列のアンプ間に前記差信号出力を混合して出力するためのスイッチ手段を設けたことを特徴とする固体撮像装置。

【請求項13】 前記アンプは、前記第1の信号電圧と前記第2の信号電圧とを逐次入力し、前記第1の信号電圧及び前記第2の信号電圧を電荷に変換して前記第1の信号電圧と第2の信号電圧との差信号を生成し、該差信号の大きさに応じて利得調整して、出力レベルが調整された差信号を出力する可変利得アンプであることを特徴とする請求項12記載の固体撮像装置。

【請求項14】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、  
前記信号電圧及び第2の信号電圧は前記光信号検出用絶

縁ゲート型電界効果トランジスタのソース領域から出力されることを特徴とする請求項13記載の固体撮像装置。

【請求項15】 光信号を電気信号に変換して出力する、行と列に配列された複数の光電変換素子と、前記光信号を電気信号に変換した第1の信号電圧と、前記光電変換素子を初期化したときの第2の信号電圧とを逐次入力し、前記第1の信号電圧及び前記第2の信号電圧を電荷に変換して前記第1の信号電圧と前記第2の信号電圧との差信号を出力する、前記列毎に設けられた複数のアンプと、前記アンプから出力された差信号を前記光信号に対応する映像信号として出力する映像信号出力端子とを有する固体撮像装置の光信号読み出し方法において、少なくとも2列のアンプ間の前記差信号出力を混合して出力することを特徴とする光信号読み出し方法。

【請求項16】 前記光電変換素子は、受光素子と該受光素子に隣接する光信号検出用絶縁ゲート型電界効果トランジスタとを備え、前記光信号検出用絶縁ゲート型電界効果トランジスタは、ゲート電極下方のチャンネル領域下であって、ソース領域の周囲に前記受光素子で発生した光発生電荷を蓄積する高濃度埋込層を備えてなり、前記第1の信号電圧及び第2の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタのソース領域から出力することを特徴とする請求項15記載の光信号読み出し方法。

【請求項17】 前記アンプが、前記第1の信号電圧と第2の信号電圧とを逐次入力する入力端子と、前記第1の信号電圧と第2の信号電圧との差信号を出力する出力端子と、参照電圧を入力する正入力端子、前記アンプの入力端子と接続される負入力端子及び前記アンプの出力端子と接続される出力端子を有する演算増幅器と、前記アンプの入力端子から前記演算増幅器の負入力端子に至る信号経路に設けられ、一端が前記信号経路を介して前記アンプの入力端子と接続され、他端が前記信号経路を介して前記演算増幅器の負入力端子に接続される入力容量と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間に設けられた帰還容量と、前記アンプの入力端子から前記入力容量の一端に至る信号経路を接続し、或いは開放する第1のスイッチ素子と、前記入力容量の一端への前記参照電圧の入力端子を接続し、或いは開放する第2のスイッチ素子と、前記演算増幅器の負入力端子と前記演算増幅器の出力端子との間を接続し、或いは開放する第3のスイッチ素子とを有し、前記画素混合スイッチ素子が少なくとも2つの列の前記演算増幅器の負入力端子間に接続されてなり、前記受光素子で発生した光発生電荷を前記光信号検出用絶縁ゲート型電界効果トランジスタの高濃度埋込層に転送して蓄積するとともに、前記第2のスイッチ素子及び第3のスイッチ素子を接続して前記入力容量及び帰還容量を初期化し、

次いで、前記第1のスイッチ素子及び第3のスイッチ素子を接続し、かつ前記第2のスイッチ素子及び前記画素混合スイッチ素子を開放し、前記高濃度埋込層に蓄積された前記光発生電荷に応じた第1の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力して、前記第1の信号電圧を電荷に変換して前記入力容量に蓄積し、

次いで、前記第2のスイッチ素子を接続し、前記第3のスイッチ素子を開放して前記入力容量に蓄積されている信号電圧に係る電荷を前記帰還容量に転送し、

次いで、前記高濃度埋込層に残留する前記光発生電荷を排出して前記光電変換素子を初期化した後に、前記第1のスイッチ素子及び前記画素混合スイッチ素子を接続し、かつ前記第2のスイッチ素子及び第3のスイッチ素子を開放し、前記光電変換素子が初期化された状態における第2の信号電圧を前記光信号検出用絶縁ゲート型電界効果トランジスタから出力して前記第2の信号電圧を電荷に変換して前記入力容量に蓄積するとともに、少なくとも2列のアンプ間の前記差信号出力を混合して出力することを特徴とする請求項16記載の光信号読み出し方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、可変利得アンプ、固体撮像装置及び光信号読み出し方法に関し、より詳しくは、入力信号のレベルに応じて利得調整が可能な可変利得アンプと、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる、光信号をデジタル信号に変換して出力する固体撮像装置及び光信号読み出し方法に関する。

【0002】

【従来の技術】CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、多くの画像入力デバイス装置に適用されている。

【0003】特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を有することから、CMOS型イメージセンサが注目されている。

【0004】そのようなCMOS型イメージセンサが米国特許6,128,039に記載されている。この米国特許6,128,039のCMOS型イメージセンサは、所謂アクティブピクセルセンサと呼ばれている。米国特許6,128,039から転記した図10に示すように、定電流源M4等の能動負荷との組み合わせで、ソースフォロアにより信号電圧を出力させている。

【0005】米国特許6,128,039のCMOS型イメージセンサでは、信号電荷蓄積用の負荷容量C1及び読み出しトランジスタM2のゲートソース間容量CgsがM

2のゲートに直列に接続される。これらの容量は、電荷／電圧変換の固定容量に並列に入ったことになり、見かけ上の電荷／電圧変換の固定容量を変化させる。また、M2のソースに接続されたC1が充電されることで信号読み出しの間にM2のソース電位は大きく変化し、この電位変化はM2のCgsを通してM2のゲートに帰還されるので、入力電位も変化し、伝達特性の線形性を著しく損なう。このために、このCMOS型イメージセンサでは読み出しトランジスタM2の負荷としての定電流源M4は不可避であった。

【0006】また、近年、イメージセンサには積分方式コラム型アナログ／デジタル変換器（以下、コラム型ADCと称する。）が搭載されるようになっている。そのコラム型ADCにおいては、コンパレータによりアナログ信号である光電気信号を所定の勾配を有する比較ランプ電圧と比較し、パルスカウンタにより光電気信号の大きさに対応するパルス計数値に変換する。

【0007】その場合、アナログ信号が小さいときには比較ランプ電圧の勾配も小さくしてダイナミックレンジを確保している。

【0008】さらに、多数の単位画素を水平方向及び垂直方向に配列した固体撮像装置では、動画再生時にサンプリング画素を間引きして残りの画素の検出信号のみを出力させ、フレームレートを増加させるようにしている。

【0009】

【発明が解決しようとする課題】しかしながら、列毎に定電流源M4を備えたイメージセンサでは、定電流源M4が個々に特性のばらつきを持つため、列毎に利得のばらつきを生じる。そのばらつきが列単位のオフセット差として現れ、画面で見たときに所謂縦の固定パターンノイズとなって現れる。

【0010】また、従来のイメージセンサから出力した信号電圧をコラム型ADCに入力させる場合、小さいアナログ信号に対応して比較ランプ電圧の勾配を小さくすると、ランプ信号の線形性やコンパレータの比較精度により、及び光電変換素子等に生じるオフセット電圧の影響により、SN比が制限される。

【0011】更に、従来のイメージセンサでサンプリング画素を間引きすると、MTF (Modulation Transfer Function: 解像力) が劣化し、モアレの多い画像になる。また、サンプリングを間引きしたため、サンプリング画素間隔の逆数に比例するサンプリング周波数の2倍以下に低下すると、そのため折り返しノイズが発生する虞がある。さらに、画素数に応じて高速にイメージセンサを動作させる必要があるため、消費電力が大きくなってしまう。

【0012】本発明は、上記従来技術の問題点を鑑みて発明されたものであり、光電気信号をデジタル化するに際して、ダイナミックレンジの向上を図りつつ、SN比

の向上を図ることができる可変利得アンプ、固体撮像装置及び光信号読み出し方法を提供し、また、固定パターンノイズを低減し、さらに、サンプリング画素の間引きを行って低消費電力動作を維持しつつ、解像力の低下や折り返しノイズの発生を抑制することができる固体撮像装置及び光信号読み出し方法を提供するものである。

【0013】

【課題を解決するための手段】上記課題を解決するため、本発明の可変利得アンプは、図1に示すように、第1の信号電圧と、第2の信号電圧とを逐次入力することにより、第1の信号電圧及び第2の信号電圧を電荷に変換して、第1の信号電圧と第2の信号電圧との差信号を生成し、かつ差信号がデジタル符号化アナログ入力レベルの範囲内に入るような利得で差信号を増幅して出力することの特徴としている。

【0014】可変利得アンプ105aは、所謂チョッパ型スイッチトキャパシタ型積分回路からなる。チョッパ型スイッチトキャパシタ型積分回路は、例えば、図1に示すように、参照電圧Vrefが印加される正入力端子(+)、負入力端子(-)及び出力端子を有する演算増幅器31と、可変利得アンプ105aの入力端子から演算増幅器31の負入力端子(-)に至る信号経路に設けられた入力容量Ci(C1)と、演算増幅器31の負入力端子(-)と出力端子との間に設けられた複数の容量素子からなる帰還容量Cf(C2、C3、C4、・・・等)と、可変利得アンプ105aの入力端子から入力容量Ciの他端に至る信号経路を短絡し、或いは開放する第1のスイッチ素子SW1、SW2と、入力容量Ciの他端への参照電圧Vrefの入力をオンし、或いはオフする第2のスイッチ素子SW3と、演算増幅器31の負入力端子(-)と出力端子との間を短絡し、或いは開放する第3のスイッチ素子SW4とを有してなる。

【0015】演算増幅器31の増幅利得の調整は以下のように行なうことができる。

【0016】即ち、帰還容量Cfを構成するC2、C3、C4、・・・等の容量素子は、各容量素子の演算増幅器31の入出力間への接続及び非接続を制御するスイッチ素子(SW5、SW6・・・等)に接続されているので、スイッチ素子(SW5、SW6・・・等)を選択的にオン、オフして適当な容量素子を選択して演算増幅器31の入出力間に接続することができる。これにより、帰還容量Cfの容量値を加減して、帰還容量Cfに対する入力容量Ciの比(Ci/Cf)を調整する。これにより、演算増幅器31の増幅利得の調整が可能となる。

【0017】また、固体撮像装置は、行と列に配列された光電変換素子と、列毎に設けられ、列毎の光電変換素子の出力と接続する上記の可変利得アンプと、可変利得アンプの出力側に繋がって差信号をデジタル信号に変換するアナログ／デジタル変換回路を有している。この場合、可変利得アンプに入力する第1の信号電圧として光

信号を電気信号に変換して得られた信号電圧を用い、また、第2の信号電圧として光電変換素子を初期化したときの第2の信号電圧を用いる。

【0018】また、光信号読み出し方法によれば、第1の信号電圧を電荷に変換して蓄積し、第2の信号電圧を出力し、電荷に変換するとともに、蓄積された第1の信号電圧と電荷に変換された第2の信号電圧との差信号がデジタル符号化アナログ入力レベルの範囲内に入るような利得で差信号を増幅することを特徴としている。

【0019】このように、本発明によれば、アナログ信号電圧の振幅がデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ信号電圧を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。これにより、アナログ信号電圧のデジタル化に際して、ダイナミックレンジを確保し、かつS/N比を向上させることができる。

【0020】また、上記した固体撮像装置は、光信号検出用MOSトランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有し、画素101の出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。上記した固体撮像装置では、外部電源によりゲート電位は一定電位に保たれているので、表面電位は高濃度埋込層に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号読み出しの間にソース電位が変化しても高濃度埋込層に不要な帰還作用を及ぼさない。従って、ソースフォロワの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いても表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

【0021】また、別の本発明によれば、図6に例示するように、少なくとも2つの列のアンプ105a、105b間、より詳しくは少なくとも2つの列のアンプ105a、105bの演算増幅器31同士の負入力端子間にこれらの間を接続し、或いは非接続とする画素混合スイッチ素子SMを設けている。この構成は、動画を扱う固体撮像装置の場合に最適である。

【0022】そして、上記構成で、画素混合スイッチ素子SMをオンにして少なくとも2つの列の画素101からの信号を混合し、平均化することにより、間引き動作を行なうことができる。

【0023】この場合に、走査上間引きを行なっても、走査上間引きされた画素101位置における信号として平均化された信号が出力されるので、サンプリング周波数は低下しない。従って、解像力の低下を防止し、折り返しノイズの発生を防止することができ、良質な画像が得られる。また、間引きに応じて信号処理回数が減るので、消費電力が低減される。

【0024】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0025】（第1の実施の形態）

(i) 可変利得アンプの構成

図1を参照して、この発明の第1の実施の形態である可変利得アンプ105aの詳細な構成について説明する。この可変利得アンプ105aは2つの信号についての差信号を生成することができる増幅回路であり、特に差信号の大きさに応じて増幅率を変化させることができるという特徴を有する。

【0026】可変利得アンプ105aは、図1に示すように、正入力端子(+)、負入力端子(-)及び出力端子を有する演算増幅器31を備えている。正入力端子(+)には参照電圧(Vref)が入力され、負入力端子(-)には、例えば、光センサアレイ100の光電変換素子101の出力である第1の信号電圧Vt及び第2の信号電圧Vnが入力される。出力端子からは、第2の信号電圧Vnを第1の信号電圧Vtから除いた差信号Vs(=Vt-Vn)が出力される。

【0027】また、可変利得アンプ105aの入力端子から演算増幅器31の負入力端子に至る信号経路にスイッチ素子SW1及びSW2と、コンデンサC1からなる入力容量Ciとが直列接続されている。入力容量Ciの一端がスイッチ素子SW1、SW2を介して可変利得アンプ105aの入力端子と接続され、入力容量Ciの他端が演算増幅器31の負入力端子と接続されている。スイッチ素子SW1及びSW2が第1のスイッチ素子を構成する。

【0028】スイッチ素子SW1は単体のnチャンネルMOSトランジスタからなり、スイッチ素子SW2は1以上のMOSトランジスタで構成された伝達ゲートからなる。ともに入力容量Ciの一端への入力信号の入力をオン/オフする。可変利得アンプ105aの入力端子に、例えば光電変換素子101の出力端が接続され、光電変換素子101を初期化するためにその出力端を通して大きな正の電圧を印加する場合に、第1のスイッチ素子のうちスイッチ素子SW1が有効に働き、可変利得アンプ105aへの高電圧の入力を阻止する。

【0029】入力容量Ciの一端には、スイッチ素子(第2のスイッチ素子)SW3を介して参照電圧(Vref)が接続されている。また、演算増幅器31の負入力端子(-)と出力端子との間には、帰還容量Cfと、スイッチ素子(第3のスイッチ素子)SW4とが並列接続されている。

【0030】帰還容量Cfは複数のコンデンサC2、C3、C4から構成されている。さらに、コンデンサC2、C3、C4のうちコンデンサC3、C4を任意に選択して帰還容量Cfの容量値を調整可能なように、各コンデンサC3、C4を演算増幅器31の負入力端子

(一)と出力端子の間に接続し、或いは非接続とする第5及び第6のスイッチ素子SW5、SW6が設けられている。

【0031】なお、帰還容量Cfを、接続が固定されたコンデンサC2のほかに、接続／非接続が選択可能な3つ以上のコンデンサから構成して、接続／非接続が選択可能な各コンデンサC3、C4、・・・を演算増幅器31の負入力端子(一)と出力端子の間に接続し、或いは非接続とする3つ以上の対応するスイッチ素子SW5、SW6、・・・を設けることも可能である。

【0032】演算増幅器31の出力端子は、列毎にコラム型ADC106の入力に接続される。このとき、演算増幅器31から出力された差信号が次段のコラム型ADC106へのデジタル符号化アナログ入力レベルの範囲から外れている場合に、差信号がアナログ入力レベルの範囲内に入るように増幅利得を調整する必要がある。このため、外部から自動的に或いは手動で、第5及び第6のスイッチ素子SW5、SW6のうち少なくとも何れか一を選択し、それらのオン／オフを制御する信号(Gsel1、Gsel2)を供給する。即ち、演算増幅器31の増幅利得の調整は、演算増幅器31の負入力端子(一)と出力端子との間に接続された帰還容量Cfに対する入力容量Ciの比( $Ci/Cf$ )を調整することにより行なうことができる。この実施の形態では、帰還容量CfはコンデンサC2、C3、C4の複数の容量素子から構成され、スイッチ素子(SW5、SW6)をオン、オフして適当な容量素子を任意選択できるようにしている。

【0033】なお、図面では、上記のスイッチ素子SW1乃至SW6を模式的に記載しているが、上で説明したスイッチ素子SW1及びSW2と同様に実際には1つ以上のトランジスタなどを用いて同じ機能を得ることができる。

【0034】(ii) 固体撮像装置の構成

次に、図1の可変利得アンプ105aを適用した固体撮像装置について説明する。

【0035】図2は、この発明の第1の実施の形態である固体撮像装置の回路構成図である。この固体撮像装置は、図2に示すように、光センサアレイ100と、信号出力回路107とを備えている。信号出力回路107は、図1の可変利得アンプ105aを列毎に配置した差信号生成回路105と、コラム型アナログ／デジタル変換器(以下、コラム型ADCと称する。)106とを備えている。行に並ぶ画素(光電変換素子)101のMOSトランジスタを駆動して光の入射量に比例し、第2の信号電圧Vn成分を含まないデジタル化された映像信号(Vout1、・・・Voutn)が行毎に信号出力回路107から出力される。

【0036】まず、光センサアレイ100について説明する。この光センサアレイ100は、2次元の構成を採っており、画素101が行方向及び列方向にマトリクス

状に配列されている。

【0037】次いで、画素101内の素子構造について説明する。図8は、画素101内における素子レイアウトについて示す平面図である。また、図9は、図8の1-1線に沿う断面図に相当する、画素内の素子断面の構造について示す断面図である。

【0038】画素101は、受光ダイオード111と光信号検出用MOSトランジスタ112とが隣接して設けられている。

10 【0039】これら受光ダイオード111とMOSトランジスタ112は、それぞれ異なるウエル領域、即ち第1のウエル領域15aと第2のウエル領域15bに形成され、それらのウエル領域15a、15bは互いに接続されている。受光ダイオード111が形成された第1のウエル領域15aは光照射による電荷の発生領域の一部を構成している。MOSトランジスタ112が形成された第2のウエル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

20 【0040】MOSトランジスタ112のドレイン領域17aはリング状のゲート電極19の外周部を取り囲むように形成され、ソース領域16はリング状のゲート電極19の内周に囲まれるように形成されている。

【0041】ドレイン領域17aが延在して受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17と低濃度のドレイン領域17aとは互いに接続した第1及び第2のウエル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。

30 【0042】さらに、この固体撮像素子の特徴であるキャリアポケット(高濃度埋込層)25は、ゲート電極19下の第2のウエル領域15b内であって、ソース領域16の周辺部に、ソース領域16を取り囲むように形成されている。

【0043】ドレイン領域17aはコンタクト領域17bを通してドレイン電圧(VDD)供給線(又はドレイン電極)22と接続され、ゲート電極19は垂直走査信号(VSCAN)供給線21に接続され、ソース領域16は垂直出力線(又はソース電極)20に接続されている。

【0044】また、上記画素101の構成要素は光透過性の絶縁膜により被覆されており、受光ダイオード111の受光窓24以外の領域は絶縁膜の上に形成された金属層(遮光膜)23により遮光されている。

【0045】次に、図1、図2、図8、図9を参照して行と列に配列された画素101を駆動する周辺回路について説明する。図示していないが、センサアレイ100の周辺には画素101を走査する信号を供給する、垂直走査信号(VSCAN)の駆動走査回路及びドレイン電圧(VDD)の駆動走査回路が配置されている。



【0046】垂直走査信号(VSCAN)の駆動走査回路から垂直走査信号供給線21が行毎に一つずつ接続され、各垂直走査信号供給線21は行方向に並ぶ全ての画素101内のMOSトランジスタ112のゲート19に接続されている。

【0047】また、ドレイン電圧供給線(VDD供給線)22はドレイン電圧(VDD)の駆動走査回路から行毎に一つずつ接続され、各ドレイン電圧供給線(VDD供給線)22は、行方向に並ぶ全ての画素101内のMOSトランジスタ112のドレイン17aに接続されてい

る。【0048】また、列毎に異なる垂直出力線20a, ..., 20nが設けられて、各垂直出力線20a, ..., 20nは列方向に並ぶ全ての画素101内のMOSトランジスタ112のソース16にそれぞれ接続されている。また、各垂直出力線20a, ..., 20nには画素101を初期化するための大きな正の電圧を供給する図示しない昇圧回路が接続されている。即ち、列毎に各画素101のMOSトランジスタ112のソース16に昇圧された電圧が印加される。昇圧された電圧はさらにMOSトランジスタ112のゲート-ソース間の容量を通して結果的にゲート19にかかる。これにより、ウェル領域15a、15bにかかる電界強度を増して、キャリアの掃き出しを促進することができる。

【0049】さらに、MOSトランジスタ112のソース16は垂直出力線20a, ..., 20nを通して信号出力回路107の入力端と接続している。言い換えれば、ソース16は列毎に上記の差信号生成回路105内の可変利得アンプ105aの入力端に接続し、信号読み出しのとき図1に示す入力容量Ciに直結することになる。なお、図2では省略しているが、実際には垂直出力線20a, ..., 20nの途中にはスイッチ素子等が設けられて信号の流れを制御している。

【0050】差信号生成回路105の入力端に第1の信号電圧Vt及び第2の信号電圧Vnが入力され、差信号生成回路105の出力端子からは、画素101を初期化したときに発生する第2の信号電圧Vnを第1の信号電圧Vtから除いた差信号Vs(=Vt-Vn)が出力される。さらに、差信号生成回路105の出力は列毎にコラム型ADC106の入力端に接続している。

【0051】差信号生成回路105においては、外部からの信号Gsel1、Gsel2により帰還容量Cfの容量値を選択して差信号Vsの大きさがデジタル符号化アナログ入力レベルの範囲内に適合するように利得調整することができ、出力端子からはアナログ出力レベルが調整された差信号Vs又はVsampが出力される。

【0052】コラム型ADC106は、図3(a)、(b)に示すように、不図示のコンパレータによりアナログ信号である差信号Vs又はVsampを所定の勾配を有する比較ランプ電圧VLと比較し、不図示のパルスカ

ウンタにより差信号Vs又はVsampの大きさに対応するパルス計数値Nc又はNcaに変換する。なお、パルス計数値Ncaは、増幅利得を考慮した係数を乗じて実際の差信号Vsに対応するパルス計数値Ncに変換される。

【0053】デジタル化された映像信号は、行毎の画素並びに対応して、コラム型ADC106の出力端子から出力される。

【0054】以上のように、この発明の実施の形態の固体撮像装置によれば、光信号に対応する差信号をデジタル符号化アナログ入力レベルの範囲内に適合するような利得で増幅することができる。

【0055】また、上記した固体撮像装置は、画素101の出力端であるソース16に定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。これは、信号検出用MOSトランジスタ112がチャネル下、ソース領域16を囲むように光発生電荷(ホール)を蓄積する高濃度埋込層25を備えていることによる。この理由は、以下の通りである。

【0056】p型の高濃度埋込層25のポテンシャル井戸に光発生ホールを蓄積して、空乏化したウェル領域15b内の負の空間電荷を変化させることにより、閾値が変調されて、MOSトランジスタ112の表面電位が決定される。このとき、外部電源によりゲート電位は一定電位に保たれているので、表面電位はポテンシャル井戸に蓄積された光発生ホールにより一意的に決まる。高濃度埋込層25に蓄積された光発生ホールの状態はソース電位の影響を受けないので、信号電荷蓄積容量を負荷とするソースフォロワを形成して信号を読み出す場合、たとえ信号読み出しの間にソース電位が変化しても高濃度埋込層25に不要な帰還作用を及ぼさない。従って、MOSトランジスタ112のソース領域16に定電流源を接続してソース-ゲート間の電位差を一定に保つ必要がないため、特性を揃えることが容易な容量のみをソースフォロワの負荷としても表面電位をソースに伝えることができる。

【0057】これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

【0058】(iv) 光信号の検出動作及び読み出し動作

次に、図3乃至図5を参照して、本発明の第1の実施の形態に係る光信号の検出動作及び読み出し動作を説明する。

【0059】図3(a)、(b)は、コラム型ADC106の動作を示す図である。図4は、画素101に着目して、光信号の検出動作及び読み出し動作を説明するタイミングチャートである。上記した光信号検出用MOSトランジスタがnMOSの場合に適用する。

【0060】図5は差信号生成回路105を動作させるためのタイミングチャートを示す。Vout1、..., Voutnは信号出力回路107から出力されるデジタル化さ

れた映像信号を示す。

【0061】光信号の検出動作及び読み出し動作は、図4に示すように、蓄積期間—読出期間—掃出期間（初期化期間）—ノイズ読出期間からなる一連の過程を繰り返す。

【0062】まず、図4を参照して一連の動作を説明する。都合上、蓄積期間から説明を始める。また、必要により、図1、図2、図8及び図9も適宜参照する。

【0063】蓄積期間では、受光ダイオード111に光照射を行って光発生ホールを発生させ、MOSトランジスタ112のチャネル領域下に転送し、高濃度埋込層25に蓄積させる。これにより、MOSトランジスタ112の閾値電圧が変化するので、次の読出期間においてその閾値電圧の変化をソース電圧 $V_{ps}$ として出力させる。

【0064】読出期間では、MOSトランジスタ112を動作させて光発生ホールの蓄積量に比例した光信号としてソース電圧 $V_{ps}$ を出力し、入力容量 $C_i$ に記憶させる。このソース電圧 $V_{ps}$ は光信号より電気信号に変換した信号電圧 $V_t$ を構成し、光の強度に応じた真の信号電圧成分 $V_s$ の他に第2の信号電圧成分 $V_n$ を含んでいる。

【0065】初期化期間では、スイッチ素子SW1を開放し、MOSトランジスタ112のソース領域16を通してゲート電極19及びドレイン領域17aに高電圧を印加し、受光ダイオード111及び光信号検出用MOSトランジスタ112から蓄積ホールを排出して画素101を初期化する。

【0066】ノイズ読出期間では、初期化された状態でのソース電圧 $V_{ps}$ を第2の信号電圧 $V_n$ として画素101から出力し、信号出力回路107に入力させて第2の信号電圧 $V_n$ を除去した差信号 $V_s (= V_t - V_n)$ を取り出す。

【0067】ノイズ読出期間終了後に再び上記した蓄積期間に戻る。

【0068】次に、図5を参照し、差信号生成回路105、特に図1の可変利得アンプ105aに着目して、蓄積期間—読出期間—掃出期間（初期化期間）—ノイズ読出期間からなる一連の過程に対応させながら、デジタル化された差信号 $V_s$ の生成動作について詳細に説明する。

【0069】蓄積期間では、信号SCM、CLMをいずれもHighレベル（以下、Hレベルと称する。）として、スイッチ素子SW2、SW4をオン状態とし、かつ信号Load、RSMをいずれもLowレベル（以下、Lレベルと称する。）として、スイッチ素子SW1、SW3をオフ状態とする。

【0070】蓄積期間の終了時の期間（入力容量初期化期間）に、信号Load、SCM、RSM、CLM、Gsel1、Gsel2をいずれもHレベルとして、スイッチ素子S

W1、SW2、SW3、SW4、SW5、SW6をオン状態とし、入力容量 $C_i$ であるコンデンサC1、帰還容量 $C_f$ であるコンデンサC2、C3、C4の電荷を初期化する。

【0071】その後、センサ信号読込み期間（読出期間）では、信号RSMをLレベルとして、スイッチ素子SW3をオフ状態とする。他のスイッチ素子SW1、SW2、SW4は前の状態のまま保持する。これにより、可変利得アンプ105aの入力容量 $C_i$ に、それぞれ画素101からの第1の信号電圧 $V_t$ が供給される。但し、この第1の信号電圧 $V_t$ には、光信号成分 $V_s$ と第2の信号電圧成分 $V_n$ が含まれている。

【0072】このとき、可変利得アンプ105aの入力容量 $C_i$ の両側の電位差は $V_t - V_{ref}$ となる。そして、スイッチ素子SW4がオン状態であるので、可変利得アンプ105aの演算増幅器31の出力は $V_{ref}$ となる。

【0073】画素初期化期間（初期化期間）では、信号Load、SCMをLレベルとして、スイッチ素子SW1、SW2をオフ状態とする。他のスイッチ素子SW3、SW4は前の状態のまま保持する。この間に、画素101の出力端に高い電圧を供給し、画素を初期化する。即ち、受光ダイオード111及びMOSトランジスタ112内の蓄積電荷を空にする。

【0074】その後、ノイズ読出期間では、立ち上がり時の期間（信号線初期化期間）に、図示しないスイッチ素子を介して垂直出力線20a、・・・、20nを接地電位とし、信号SCMをLレベルとして、スイッチ素子SW2をオフ状態のまま保持する。さらに、信号CLMをLレベルとして、スイッチ素子SW4をオフ状態にする。とともに、信号Gsel1をHレベルとして、スイッチ素子SW5をオン状態にして容量素子C3を選択し、帰還容量 $C_f$ を入力容量 $C_i$ と等しくなるように設定する。ここでは、入力容量 $C_i$ の容量値と等しい容量値を $C_2 + C_3$ とする。さらに、信号Load、RSMをHレベルとして、スイッチ素子SW1、SW3をオンにする。これにより、可変利得アンプ105a内の信号線に蓄積されている電荷を初期化する。また、入力容量 $C_i$ の一端側が $V_{ref}$ となるため入力容量 $C_i$ に蓄積されていた電荷 $C_i \cdot (V_t - V_{ref})$ が帰還容量 $C_f (= C_2 + C_3)$ に転送される。入力容量 $C_i$ の両端の電位差は0となる。

【0075】信号線初期化期間の経過後、信号SCMをHレベルとして、スイッチSW2をオン状態にする。とともに、信号RSM、CLMをLレベルとして、スイッチSW3、SW4をオフ状態にする。また、信号Gsel1をHレベルとして、SW5をオン状態にして容量素子C3を選択する。これにより、可変利得アンプ105aの入力容量 $C_i$ の両端の電位差が0から $V_n - V_{ref}$ に変化する。これに対応する電荷 $C_i \cdot (V_t - V_n) / C_f$



( $=V_s$ )が帰還容量 $C_f$ にも蓄積され、演算増幅器31の出力は差信号 $V_s$ を含む信号電圧( $V_{ref}-V_s$ )となる。

【0076】次いで、差信号 $V_s$ とデジタル符号化アナログ入力レベルの範囲と比較する。差信号 $V_s$ の大きさがデジタル符号化アナログ入力レベルの範囲のときには、コラム型ADC106にそのまま出力する。

【0077】一方、差信号 $V_s$ の大きさが、例えばデジタル符号化アナログ入力レベルの範囲の下限值よりも小さいときには、外部からの信号により、差信号 $V_s$ の大きさがその下限値よりも大きくなるような利得で差信号 $V_s$ が増幅されるように、帰還容量 $C_f$ の容量値を選択する。ここでは、必要な増幅利得が得られる容量値を $C_2+C_4$  ( $<C_2+C_3$ )とすると、 $G_{sel1}$ をLレベルとしてSW5をオフ状態にするとともに、 $G_{sel2}$ をHレベルとしてSW6をオン状態にし、帰還容量 $C_f$ として容量素子 $C_2+C_4$ を選択する。

【0078】そして、入力容量 $C_i$ 及び帰還容量 $C_f$ を初期化した後、新たに第1の信号電圧 $V_t$ を入力容量 $C_i$ に投入して電荷に変換し、続いて、帰還容量 $C_f$ に転送する。続いて、第2の信号電圧 $V_n$ を入力容量 $C_i$ 及び帰還容量 $C_f$ に投入して電荷に変換する。即ち、可変利得アンプ105aの入力容量 $C_i$ である容量素子 $C_1$ の両側の電位差が $V_t-V_{ref}$ から0を経て $V_n-V_{ref}$ に変化する。これに対応する電荷 $C_i \cdot (V_t-V_n) / C_f (=V_{s\ amp})$ が帰還容量 $C_f$ である容量素子( $C_2+C_4$ )にも蓄積され、演算増幅器31の出力から増幅された差信号 $V_{s\ amp}$ を含む信号電圧( $V_{ref}-V_{s\ amp}$ )が出力される。

【0079】そして、差信号 $V_s$ 又は $V_{s\ amp}$ を図2に示すコラム型ADC106に入力させて、デジタル信号に変換させる。さらに、このデジタル信号を映像信号としてコラム型ADC106の出力端子から出力する。

【0080】ここで、本発明においては、各列毎にアンプを有することから、このアンプ毎に固有のオフセット値を持ち、このためコラム型ADC106出力が各列毎にオフセット成分を含むことが予想されるが、このオフセット成分は予めデジタル化してメモリしておき、帰線消去期間におけるオブチカルブラック信号検出において補正信号として加算し、差信号のデジタル信号との間でデジタル演算することにより容易に除去することができる。

【0081】以上、第1の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0082】また、差信号を比較する基準として、デジタル符号化アナログ入力レベルの範囲を用いているが、これに限られない。

(第2の実施の形態)

(i) 固体撮像装置の構成

図6を参照して本発明の第2の実施の形態における固体撮像装置の構成について説明する。図6は、本発明の第2の実施の形態における固体撮像装置の回路構成図である。

【0083】この固体撮像装置において、第1の実施の形態と異なるところは、図6に示すように、差信号生成回路105内に列毎に設けられた可変利得アンプ105a、105b、・・・のうち、一つの列の可変利得アンプ105aの演算増幅器31の負入力端子(一)と、隣の列の可変利得アンプ105bの演算増幅器31の負入力端子(一)とが、スイッチ素子(画素混合スイッチ素子)SMを介して接続されていることである。

【0084】この実施の形態の光センサアレイ100の画素101の配列は、ベイヤ方式の基本形の色フィルタアレイ配列となっている。この色フィルタアレイ配列では、隣接する4つの領域にR、G、Bが配列され、かつ同一色のGが斜めに配列されている。上記した可変利得アンプ105a、105bにはこれらのGの画素101の垂直出力線20a、20bが接続されている。

【0085】この回路構成では、スイッチ素子SMを非接続状態にすることで第1の実施の形態と同じ回路構成となり、その回路を第1の実施の形態と同じように動作させることができる。また、切り替え信号MODEによりスイッチ素子SMを接続することで、2つの列の隣接する前記Gの差信号を混合し、それらの列の出力に平均化された映像信号を出力させることができる。

【0086】なお、上記では、画素101から出力された信号電圧のアンプとして可変利得アンプ105a、105bを用いているが、利得調整が不要な場合には可変利得アンプ105a、105bから容量素子 $C_3$ 、 $C_4$ 、及びスイッチ素子SW5、SW6を取り除いたものを用いることができる。

【0087】(ii) 光検出動作

次に、図面を参照して第2の実施の形態である固体撮像装置の光検出動作を説明する。

【0088】この実施の形態の固体撮像装置においては、第1の実施の形態と同じ通常の動作と間引き動作における画素混合とを行うことが可能である。通常の動作を行うには、上記したように、スイッチ素子SMを非接続状態として、第1の実施の形態の回路構成と同じにし、第1の実施の形態と同様に動作させる。これにより、レベル調整された映像信号を出力させることができる。

【0089】次に、画素混合の動作について説明する。図7は図6の差信号生成回路105を用いて画素混合を行なうためのタイミングチャートを示す。説明においては、必要により、図6も参照する。この場合、帰還容量 $C_f$ として容量素子 $C_2$ 、 $C_3$ 、 $C_4$ のうち $C_2$ のみを

用いるものとする。

【0090】この実施の形態の画素混合の動作を含む光信号読出し動作においては、光発生ホールの蓄積動作、入力容量 $C_i$ の初期化動作、センサ信号（第1の信号電圧） $V_{ta}$ 、 $V_{tb}$ の読込み動作、画素のリセット動作、信号線の初期化動作及びノイズ読出し動作を順に繰り返し行う。画素混合の動作はノイズ読出し動作のときに同時に行う。

【0091】まず、光発生ホールの蓄積動作から信号線の初期化動作までは、画素混合スイッチ素子SMが非接

続とされて、第1の実施の形態の図5で説明した動作と同様な動作を行う。これにより、可変利得アンプ105aの帰還容量 $C_f$ に電荷 $C_i \cdot (V_{ta} - V_{ref})$ が蓄積され、可変利得アンプ105bの帰還容量 $C_f$ に電荷 $C_i \cdot (V_{tb} - V_{ref})$ が蓄積されるとともに、入力容量 $C_i$ を含む信号線が初期化された状態となる。

【0092】次いで、ノイズ読出し動作に移行し、信号MODEをHレベルとしてスイッチ素子SMを接続し、2つの列の可変利得アンプ105a、105bに係る演算増幅器31の負入力端子同士を接続する。これにより、画素混合が可能な状態となる。このとき、同時に、スイッチ素子SW1を接続し、かつスイッチ素子SW4を開放状態に保持したまま、信号SCMをHレベルとしてスイッチ素子SW2を接続し、信号RSMをLレベルとしてスイッチ素子SW3を開放する。これにより、画素101からの第2の信号電圧 $V_{na}$ 、 $V_{nb}$ が入力可能な状態となる。

【0093】可変利得アンプ105aにおいては、画素101からの第2の信号電圧 $V_{na}$ の入力により、コンデンサC1の両端の電位差が0から $V_{na} - V_{ref}$ に変化し、C2の両端の電位差が $C_1 \cdot (V_{ta} - V_{na}) / C_2$ に変化するはずである。また、可変利得アンプ105bにおいては、画素101からの第2の信号電圧 $V_{nb}$ の入力により、コンデンサC1の両端の電位差が0から $V_{nb} - V_{ref}$ に変化し、C2の両端の電位差が $C_1 \cdot (V_{tb} - V_{nb}) / C_2$ に変化するはずである。この場合、スイッチ素子SMにより可変利得アンプ105a、105b相互のC2の入力端が接続されているので、各々のC2に別々に蓄積されるはずの電荷が混合され、平均化されるので、各々のC2の両端の電位差 $\Delta V_0$ は略 $C_1 / C_2 \cdot ((V_{ta} - V_{na}) + (V_{tb} - V_{nb})) / 2$ となる。また、各演算増幅器31の出力は $V_{ref} - \Delta V_0$ となる。この後、適宜信号処理してGの映像信号を映像信号出力端子から出力する。

【0094】ところで、従来の一般的な固体撮像装置では、サンプリング画素を間引きするため、MTFが劣化してモアレの多い画像になったり、折り返しノイズが発生したりする。また、イメージセンサを高速で動作させる必要があるため、消費電力が大きくなってしま

ち素子SMを接続することにより、少なくとも2つの列の同一色の画素信号を混合し、平均化して間引きに係る映像信号を生成している。従って、間引きを行なっても、サンプリングに伴うMTFの劣化を防ぐことができる。また、走査上間引きされた画素101位置における平均化された映像信号が出力されるので、サンプリング周波数は低下しない。これにより、折り返しノイズの発生を防止することができる。

【0096】また、間引きに応じて信号処理回数が減るので、消費電力の増大が回避される。

【0097】さらに、内部スイッチ素子SMの切り替えのみで通常の動作と間引き動作を行うことができるように、簡単な手段で信号出力回路の多機能化を図ることができる。

【0098】以上、第2の実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0099】例えば、上記の第2の実施の形態では、画素の色配列としてベイヤ方式の基本形の色フィルタアレイ配列を用いているが、他の方式の色フィルタアレイ配列を用いることも可能である。

【0100】また、この発明が適用される固体撮像装置に用いる光電変換素子として種々の変形例を適用可能である。これは、第1の実施の形態でも同様である。それらの実施の形態では、特に、特許（特許登録番号2935492号）に記載の光電変換素子と同じ構造の光電変換素子を用いているが、出力に容量を直結しても正確な信号電圧が得られるような他の構造の光電変換素子を用いることができる。

【0101】また、p型の基板11上のn型のエピタキシャル層12内に第1及び第2のウエル領域15a、15bを形成しているが、n型のエピタキシャル層12の代わりに、p型のエピタキシャル層にn型不純物を導入してn型ウエル層を形成し、このn型ウエル層内に第1及び第2のウエル領域15a、15bを形成してもよい。

【0102】

【発明の効果】以上説明したように、本発明によれば、アナログ差信号の振幅が適度なデジタル符号化アナログ入力レベルの範囲よりも小さいときでも、アナログ差信号を増幅してデジタル符号化アナログ入力レベルの範囲に適合させることができる。

【0103】これにより、アナログ差信号のデジタル化に際して、ダイナミックレンジを確保し、かつSN比を向上させることができる。

【0104】また、上記した固体撮像装置は、光信号検出用MOSトランジスタのチャネル下、ソース領域の周囲に光発生電荷を蓄積する高濃度埋込層を有し、画素の

出力端であるソースに定電流源などの能動負荷を接続しなくても光信号を読み出し得ることを特徴としている。従って、ソースフォロワの負荷として、特性を揃えにくい定電流源を用いず、特性を揃えることが容易な容量のみを用いても表面電位を正確にソースに伝えることができる。これにより、固定パターンノイズを抑制しつつ信号読み出しが可能となる。

【0105】さらに、本発明の1つの態様によれば、行及び列に配列された画素と、画素からの出力信号を処理する、列毎に設けられたアンプとを有し、かつ少なくとも2つの列のアンプの演算増幅器の入力端子間に画素混合スイッチ素子を設けており、間引き動作時にこのスイッチ素子を接続して少なくとも2つの列の画素信号を混合し、平均化して各画素の映像信号として出力しているので、折り返しノイズのない画像、即ちモアレのない画像を得ることができ、消費電力も低減させることができる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る可変利得アンプを示す回路図である。

【図2】この発明の第1の実施の形態に係る可変利得アンプを備えた固体撮像装置の回路構成を示す図である。

【図3】図2の固体撮像装置の回路構成のうち信号処理回路（コラム型ADC）の動作を示す図である。

【図4】この発明の第1の実施の形態の固体撮像装置を動作させる際のタイミングチャートである。

【図5】この発明の第1の実施の形態に係る固体撮像装置の差信号生成動作のタイミングチャートである。

【図6】この発明の第2の実施の形態に係る信号出力回\*

\* 路を備えた固体撮像装置の回路の構成を示す図である。

【図7】この発明の第2の実施の形態に係る固体撮像装置の画素混合動作のタイミングチャートである。

【図8】この発明の第1及び第2の実施の形態に係る固体撮像装置を構成する光センサアレイの画素内の素子構造を示す平面図である。

【図9】同じく、図8のI-I線に沿う断面図である。

【図10】従来例に係る固体撮像装置の回路の構成を示す図である。

#### 【符号の説明】

20 a、・・・20 n 垂直出力線

31 演算増幅器

100 光センサアレイ

101 単位画素

105 差信号生成回路

105 a、105 b 可変利得アンプ

106 コラム型ADC

107 信号出力回路

C1、C2、C3、C4 容量素子

20 Ci 入力容量

Cf 帰還容量

SM 画素混合スイッチ素子

SW1、SW2 スwitch素子（第1のswitch素子）

SW3 スwitch素子（第2のswitch素子）

SW4 スwitch素子（第3のswitch素子）

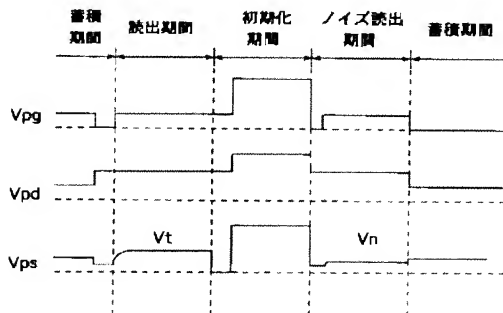
SW5、SW6 スwitch素子

Vt 信号電圧（第1の信号電圧）

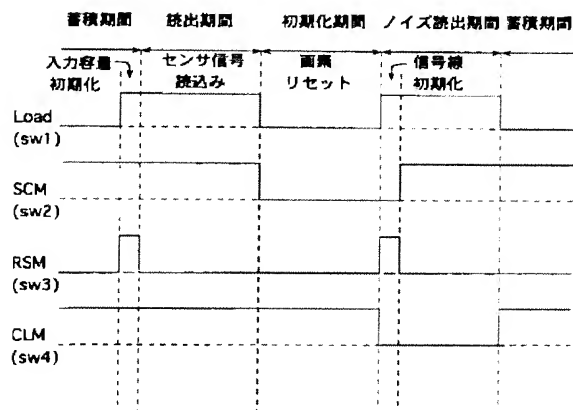
Vn 第2の信号電圧（第2の信号電圧）

Vout1、・・・Voutn デジタル化された映像信号

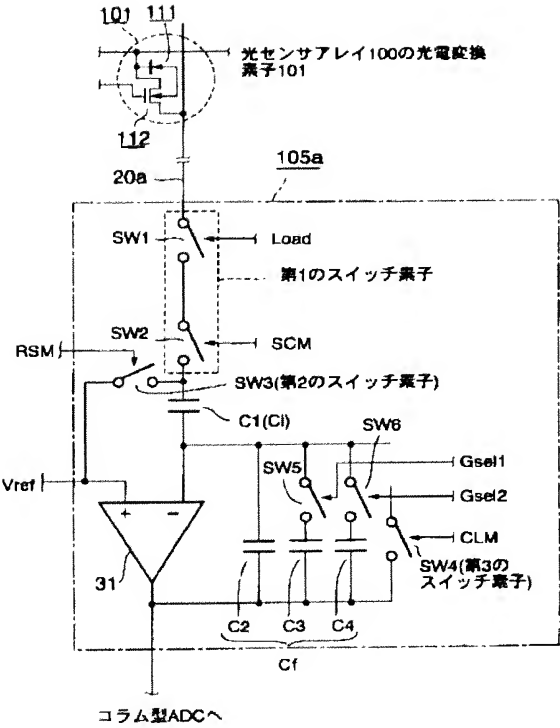
【図4】



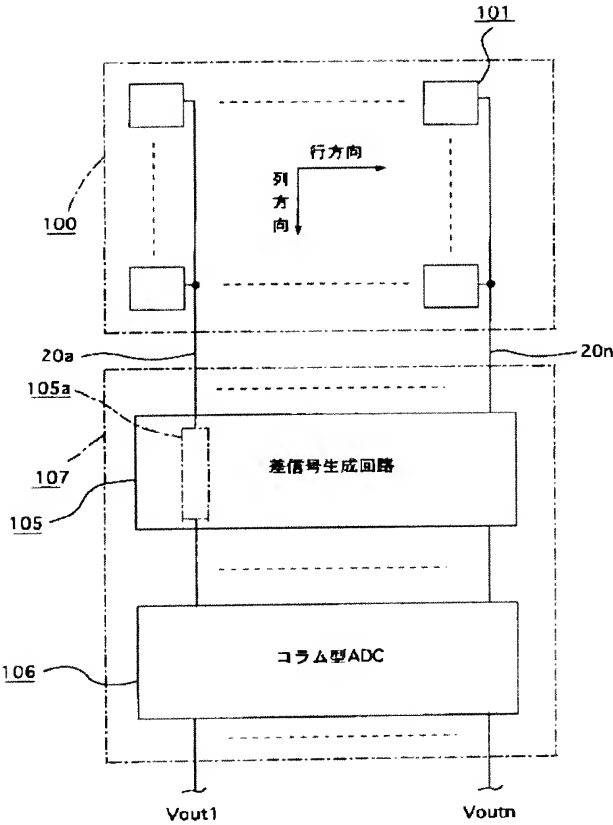
【図5】



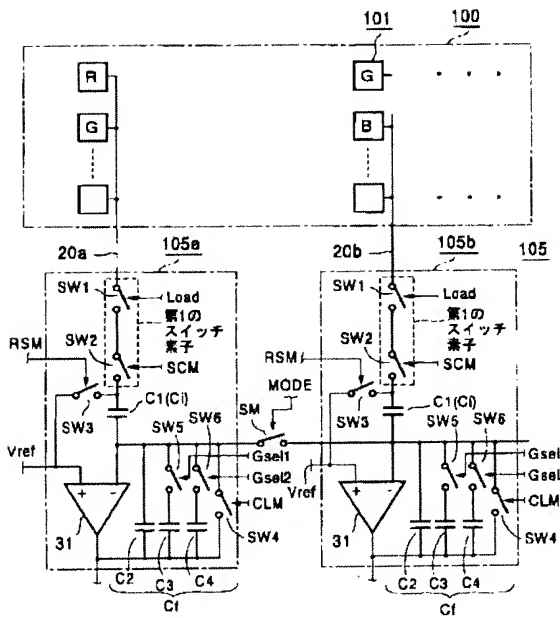
【図1】



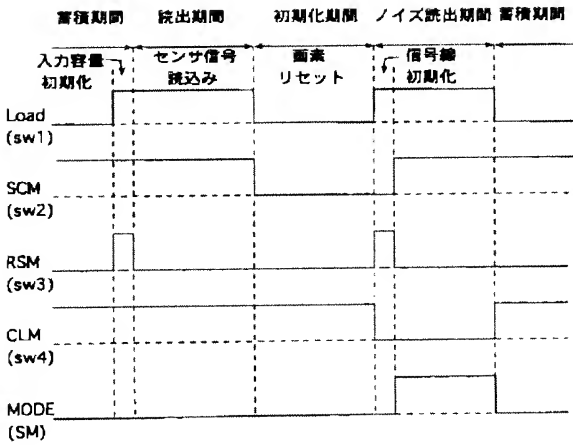
【図2】



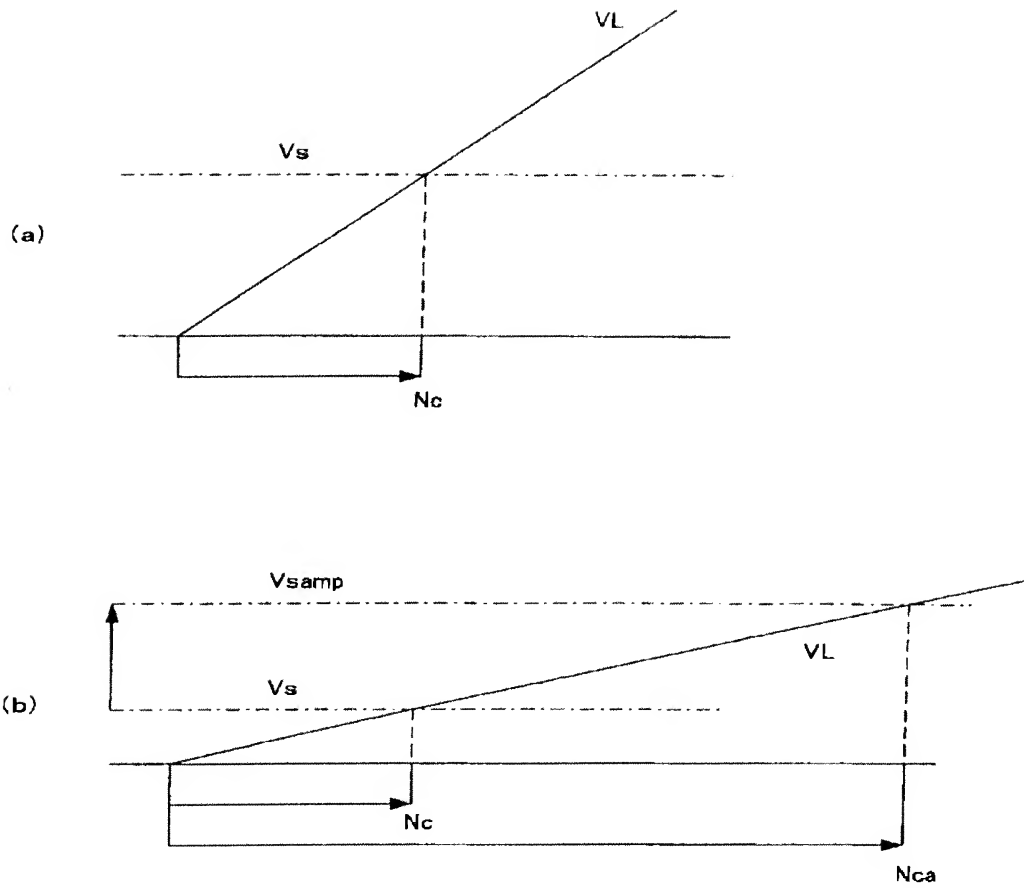
【図6】



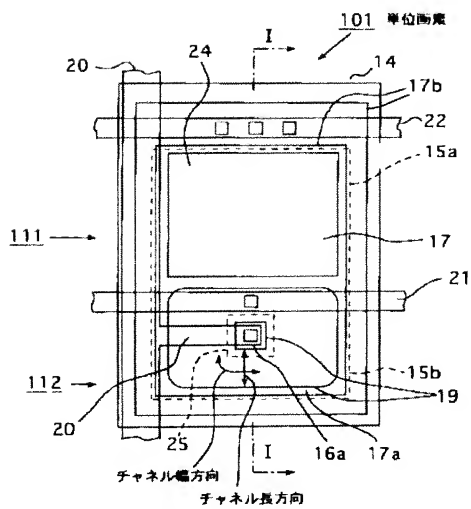
【図7】



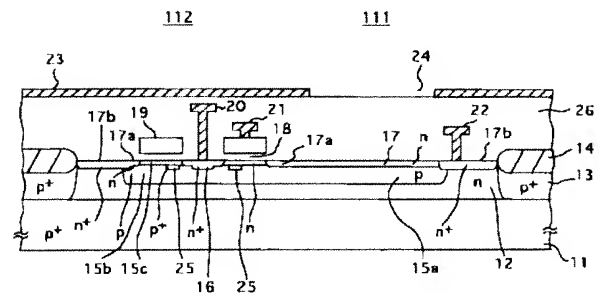
【図3】



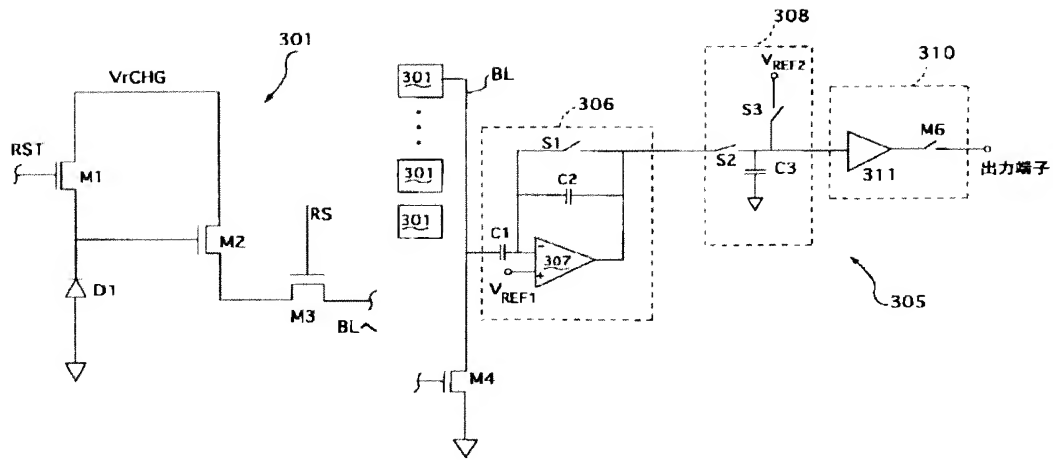
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 4M118 AA02 AA05 AB01 BA14 CA04  
 DB09 DD09 FA06  
 5C024 CX04 CX43 CY42 GX02 GY31  
 GZ01 HX18 HX28 HX29 HX35  
 HX40 HX50  
 5J022 AA01 BA08 CA07 CB01 CC01  
 CF02 CF07 CF10

